

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-163034

(43)Date of publication of application : 07.06.2002

(51)Int.Cl.

G06F 1/06
G06F 1/10
H03K 5/00
H03K 5/13
H03K 5/15
H03L 7/00
H03L 7/081

(21)Application number : 2000-363728

(71)Applicant : NEC CORP

(22)Date of filing : 29.11.2000

(72)Inventor : SAEKI TAKANORI

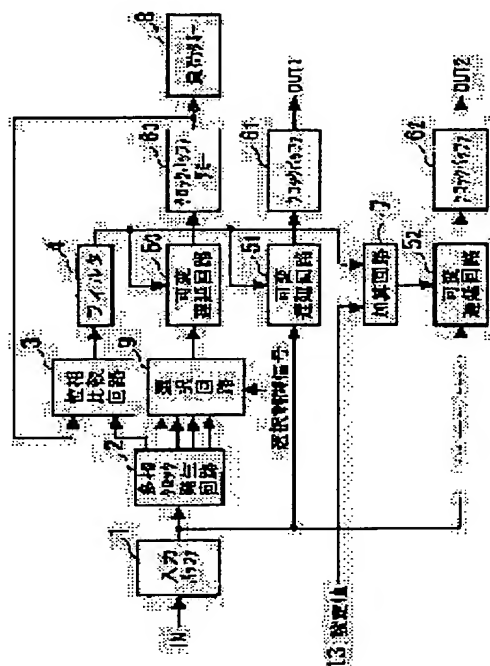
(54) CIRCUIT AND METHOD FOR CONTROLLING CLOCK

(57)Abstract:

PROBLEM TO BE SOLVED: To allow setting to a correct phase, without being affected by a loop jitter by feedback constitution.

SOLUTION: This circuit is provided with a multi-phase clock generating circuit 2 for inputting an output of an input buffer 1 to generate a multi-phase clock, a selection circuit 9 for selecting one out of inputs using multi-phase clock outputs from the clock generating circuit as the inputs, a variable delay circuit 50 for delaying an output of the selection circuit, a clock buffer dummy 60 for inputting an output of the first variable delay circuit, a phase comparison circuit 3 for detecting a phase difference between the output from the clock generating circuit 2 and the output from the clock buffer dummy, and a filter 4 for smoothing an output of the phase comparison circuit.

The variable delay circuit 50 is provided with a variable delay circuit 51 in which a delay time is varied by a filter output and in which the delay time is varied by the filter output using the output of the input buffer 1 as an input, an addition circuit 7 for summing up the filter output and an input set value 13, a variable delay circuit 52 in which a delay time is varied by an output of the addition circuit 7 using the output of the input buffer 1 as an input, and clock buffers 61, 62 for inputting outputs of the variable delay circuits 51, 52, respectively.



LEGAL STATUS

[Date of request for examination]

22.10.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

BEST AVAILABLE COPY

[Patent number]	3450293
[Date of registration]	11.07.2003
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	
[Date of extinction of right]	

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002-163034

(P2002-163034A)

(43)公開日 平成14年6月7日(2002.6.7)

(51)IntCl. ⁷	識別記号	F I	キーワード(参考)
G 0 6 F	1/06	H 0 3 K 5/13	5 B 0 7 9
	1/10	H 0 3 L 7/00	D 5 J 0 0 1
H 0 3 K	5/00	G 0 6 F 1/04	3 1 2 A 5 J 0 3 9
	5/13		3 3 0 A 5 J 1 0 6
	5/15	H 0 3 K 5/00	M

審査請求 有 請求項の数22 O L (全 21 頁) 最終頁に続く

(21)出願番号 特願2000-363728(P2000-363728)

(22)出願日 平成12年11月29日(2000.11.29)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 佐伯 貴範

東京都港区芝五丁目7番1号 日本電気株

式会社内

(74)代理人 100080816

弁理士 加藤 朝道

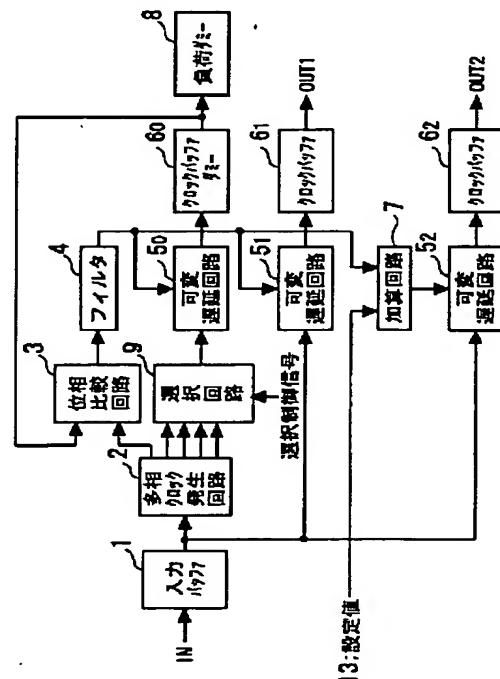
最終頁に続く

(54)【発明の名称】 クロック制御回路及びクロック制御方法

(57)【要約】

【課題】帰還構成によるループジッタの影響を受けずに、正しい位相に設定可能としたクロック制御回路及び方法の提供。

【解決手段】入力バッファ1の出力を入力し多相クロックを発生する多相クロック発生回路2と、多相クロック発生回路からの多相クロック出力を入力としそのうちの一つを選択する選択回路9と、選択回路の出力を遅延させる可変遅延回路50と、第1の可変遅延回路の出力を入力するクロックバッファダミー60と、多相クロック発生回路2からの出力と、クロックバッファダミーの出力との位相差を検出する位相比較回路3と、位相比較回路の出力を平滑化するフィルタ4を備え、可変遅延回路50はフィルタ出力で遅延時間が可変され、入力バッファ1の出力を入力としフィルタ出力で遅延時間が可変される可変遅延回路51と、フィルタ出力と、入力設定値13とを加算する加算回路7と、入力バッファ1の出力を入力とし加算回路7の出力で遅延時間が可変される可変遅延回路52と、可変遅延回路51、52の出力をそれぞれ入力するクロックバッファ61、62を備える。



【特許請求の範囲】

【請求項1】入力クロックから互いに位相の異なる複数のクロック（「多相クロック」という）を生成出力する多相クロック発生回路と、

前記多相クロック発生回路から出力される多相クロックを入力としそのうちの一つを選択出力する選択回路と、前記選択回路の出力を第1の変延遅延回路で遅延させた出力と、前記多相クロック発生回路から出力される多相クロックの一つとの位相差を検出して出力する位相比較回路と、

前記位相比較回路から出力される位相差検出信号を平滑化するフィルタと、

を備え、

前記第1の変延遅延回路は前記フィルタの出力によって遅延時間が可変され、

前記フィルタの出力によって遅延時間が可変される第2の変延遅延回路をさらに備え、前記入力クロックを前記第2の変延遅延回路で遅延させた信号が出力クロックとして出力される、ことを特徴とするクロック制御回路。

【請求項2】入力されたクロックを受ける入力バッファと、

前記入力バッファの出力を入力し互いに位相の異なる複数のクロック（「多相クロック」という）を発生する多相クロック発生回路と、

前記多相クロック発生回路から出力される多相クロックを入力としそのうちの一つを選択出力すると、

前記選択回路の出力を遅延させる第1の変延遅延回路と、

前記第1の変延遅延回路の出力を入力とする第1のクロックバッファ（「クロックバッファダミー」という）と、

前記多相クロック発生回路から出力される多相クロックの一つと、前記クロックバッファダミーの出力との位相差を検出して出力する位相比較回路と、

前記位相比較回路から出力される位相差検出信号を平滑化するフィルタと、

を備え、

前記第1の変延遅延回路は前記フィルタの出力によって遅延時間が可変され、

前記入力バッファの出力を入力し前記フィルタの出力によって遅延時間が可変される第2の変延遅延回路と、

前記第2の変延遅延回路の出力を入力し出力クロックを出力する第2のクロックバッファと、

を備えている、ことを特徴とするクロック制御回路。

【請求項3】入力されたクロックを受ける入力バッファと、

前記入力バッファの出力を入力し互いに位相の異なる複数のクロック（「多相クロック」という）を発生する多相クロック発生回路と、

前記多相クロック発生回路からの多相クロック出力を入

力としそのうちの一つを選択する選択回路と、

前記選択回路の出力を遅延させる第1の変延遅延回路と、

前記第1の変延遅延回路の出力を入力とする第1のクロックバッファ（「クロックバッファダミー」という）と、

と、

前記多相クロック発生回路からの一の出力と、前記クロックバッファダミーの出力との位相差を検出して出力する位相比較回路と、

前記位相比較回路から出力される位相差検出信号を平滑化するフィルタと、

を備え、

前記第1の変延遅延回路は、前記フィルタの出力によって遅延時間が可変され、

前記入力バッファの出力を入力とし、前記フィルタの出力によって遅延時間が可変される第2の変延遅延回路と、

と、

前記フィルタの出力と、入力される設定値とを加算する加算回路と、

前記入力バッファの出力を入力とし、前記加算回路の出力によって遅延時間が可変される第3の変延遅延回路と、

前記第2、第3の変延遅延回路の出力をそれぞれ入力とし出力クロックをそれぞれ出力する第2、第3のクロックバッファと、

を備えている、ことを特徴とするクロック制御回路。

【請求項4】前記入力バッファからは互いに相補のクロック対が出力され、前記第2の変延遅延回路と前記第2のクロックバッファの組を、前記相補のクロック対のそれぞれのクロックに対して備えている、ことを特徴とする請求項2に記載のクロック制御回路。

【請求項5】前記入力バッファからは互いに相補のクロック対が出力され、前記第2の変延遅延回路と前記第2のクロックバッファの組と、前記第3の変延遅延回路と前記第3のクロックバッファの組を、相補のクロック対のそれぞれのクロックに対して備えている、ことを特徴とする請求項3に記載のクロック制御回路。

【請求項6】前記多相クロック発生回路が、入力クロックを分周して互いに位相の異なる複数相のクロックを生成出力する分周回路と、

前記入力クロックの周期を検知する周期検知回路と、

前記分周回路から出力される複数相（ n 相）のクロックを入力とし、前記クロックを n 倍したクロックを生成する1つ又は複数段縦続接続された多相クロック n 倍回路と、を備え、

前記多相クロック n 倍回路が、 n 相のクロック（第1乃至第 n クロック）を入力し、

二つの入力のタイミング差を分割した信号を出力する $2n$ 個のタイミング差分割回路を備え、

奇数番目（ $2I-1$ 番目、ただし、 $1 \leq I \leq n$ ）のタイ

ミング差分割回路は、前記二つの入力として n 相のクロックのうち I 番目の同一クロックを入力とし、偶数番目（ $2I$ 番目、ただし、 $1 \leq I \leq n$ ）のタイミング差分割回路は、 n 相のクロックのうち I 番目のクロックと $I+1$ 番目のクロック（ただし、 $n+1$ 番目は、 1 番目に巡回する）のクロックを入力とし、 $2n$ 個のパルス幅補正回路を備え、 J 番目（ただし、 $1 \leq J \leq 2n$ ）のパルス幅補正回路は、 J 番目のタイミング差分割回路の出力を第1の入力とし、 $(J+2 \bmod n)$ 番目（ただし、 $J+2 \bmod n$ は、 $J+2$ を n で割った余り）のタイミング差分割回路の出力を第2の入力とし、前記第1の入力と前記第2の入力の反転信号の否定論理積を出力し、 n 個の多重化回路を備え、 K 番目（ただし、 $1 \leq K \leq n$ ）の多重化回路は、 K 番目のパルス幅補正回路の出力と $(K+n)$ 番目のパルス幅補正回路の出力とを入力とし、これらの否定論理積を出力する、ことを特徴とする請求項1乃至3のいずれかに記載のクロック制御回路。

【請求項7】前記タイミング差分割回路が、第1、第2の入力端から入力される信号を入力とし前記第1及び第2の入力信号の所定の論理演算結果を出力する論理回路と、第1の電源と内部ノード間に接続され、前記論理回路の出力信号を制御端子に入力とする第1のスイッチ素子と、前記内部ノードに入力端が接続され、前記内部ノード電位としきい値との大小関係が反転した場合に出力論理値を反転させる、バッファ回路と、前記内部ノードと第2の電源との間に接続され、前記第1の入力端からの信号の値に基づきオン・オフ制御される第2のスイッチ素子と、前記内部ノードと第2の電源との間に接続され、前記第2の入力端からの信号に基づきオン・オフ制御される第3のスイッチ素子と、を備え、前記内部ノードと前記第2の電源間に、第4のスイッチ素子と容量よりなる直列回路が、複数本互いに並列接続され、前記第4のスイッチ素子の制御端子に供給される周期制御信号の値によって前記第4のスイッチ素子がオン及びオフ制御され、前記内部ノードに付加する容量の容量値が決められる、ことを特徴とする請求項6に記載のクロック制御回路。

【請求項8】与えられた位相決定情報に基づき、入力クロックを、所定の位相差分遅延させた信号を出力する位相差発生回路と、前記位相差発生回路の出力を遅延させる第1の変遅延回路と、前記位相差発生回路の出力と前記第1の変遅延回路からの出力信号の位相差を検出して出力する位相比較回路と、

前記位相比較回路から出力される位相差検出信号を平滑化するフィルタと、

を備え、

前記第1の変遅延回路は前記フィルタの出力によって遅延時間が可変され、

前記フィルタの出力によって遅延時間が可変される第2の変遅延回路をさらに備え、前記入力クロックを前記第2の変遅延回路で遅延させた信号を出力クロックとして出力する、ことを特徴とするクロック制御回路。

【請求項9】入力されたクロックを受ける入力バッファと、

前記入力バッファの出力を入力するとともに、位相決定情報を入力し、前記位相決定情報に基づき、前記入力バッファの出力を所定の位相差分遅延させた信号を出力する位相差発生回路と、

前記位相差発生回路の出力を遅延させる第1の変遅延回路と、

前記第1の変遅延回路の出力を入力としダミーの負荷を駆動する第1のクロックバッファ（「クロックバッファダミー」という）と、

前記位相差発生回路の出力と前記クロックバッファダミーの出力の位相差を検出して出力する位相比較回路と、前記位相比較回路から出力される位相差検出信号を平滑化するフィルタと、

を備え、

前記第1の変遅延回路は、前記フィルタの出力で遅延時間が可変され、

前記入力バッファの出力を入力とし、前記フィルタの出力によって遅延時間が可変される第2の変遅延回路と、

前記第2の変遅延回路の出力を入力し出力クロックを出力する第2のクロックバッファと、

を備えている、ことを特徴とするクロック制御回路。

【請求項10】入力されたクロックを受ける入力バッファと、

前記入力バッファの出力を入力するとともに、位相決定情報を入力し、前記位相決定情報に基づき、前記入力バッファの出力を所定の位相差分遅延させた信号を出力する位相差発生回路と、

前記位相差発生回路の出力を遅延させる第1の変遅延回路と、

前記第1の変遅延回路の出力をダミーの負荷を駆動する第1のクロックバッファ（「クロックバッファダミー」という）と、

前記位相差発生回路の出力と前記クロックバッファダミーの出力の位相差を検出して出力する位相比較回路と、前記位相比較回路から出力される位相差検出信号を平滑化するフィルタと、

を備え、

前記第1の変遅延回路は、前記フィルタの出力によっ

て遅延時間が可変され、
前記入力バッファの出力を入力とし、前記フィルタの出力によって遅延時間が可変される第2の可変遅延回路と、
前記フィルタの出力と、入力された設定値とを加算する加算回路と、
前記入力バッファの出力を入力とし、前記加算回路の出力によって遅延時間が可変される第3の可変遅延回路と、
前記第2、第3の可変遅延回路の出力をそれぞれ入力し第1、第2の出力クロックを出力する第2、第3のクロックバッファと、
を備えている、ことを特徴とするクロック制御回路。

【請求項11】前記位相差発生回路が、入力クロックを分周する分周回路と、
前記分周回路の出力を前記入力クロックの立上がり又は立下り遷移でサンプルする第1のフリップフロップと、
前記第1のフリップフロップの出力を前記入力クロックの立上がり又は立下り遷移でサンプルする第2のフリップフロップと、
前記第1、第2のフリップフロップの出力を入力とし、二つの出力のタイミング差を第1の内分比で分割した時間で規定される遅延時間の出力信号を出力する第1のインターポレータと、
前記第1、第2のフリップフロップの出力を入力とし、二つの出力のタイミング差を第2の内分比で分割した時間で規定される遅延時間の出力信号を出力する第2のインターポレータと、
を備えている、ことを特徴とする請求項8乃至10のいずれかに記載のクロック制御回路。

【請求項12】入力されたクロックを受ける入力バッファと、
前記入力バッファの出力を一の入力端から入力し、一の出力クロックを他の入力端から入力し、前記入力バッファの出力と前記出力クロックとから、制御信号として入力される位相決定情報で規定される位相差を有する二つの出力信号を出力する位相差発生回路と、
前記位相差発生回路の二つの出力の位相差を検出して出力する位相比較回路と、
前記位相比較回路から出力される位相差検出信号を平滑化するフィルタと、
前記入力バッファの出力を遅延させる第1の可変遅延回路と、
前記第1の可変遅延回路の出力を入力し出力クロックを出力する第1のクロックバッファと、
を備え、
前記第1のクロックバッファの出力クロックが、前記位相差発生回路の前記他の入力端に入力される前記出力クロックとして、供給され、
前記第1の可変遅延回路は、前記フィルタの出力によ

て遅延時間が可変される、ことを特徴とするクロック制御回路。

【請求項13】前記入力バッファからは互いに相補のクロック対が出力され、前記第1の可変遅延回路と前記第1のクロックバッファの組を、相補のクロック対のそれぞれクロックに対して備えている、ことを特徴とする請求項12記載のクロック制御回路。

【請求項14】入力クロックと出力クロックとを入力し、前記入力クロックと前記出力クロックとに基づき、入力された位相決定情報によって規定される位相差を有する第1、第2の出力信号を出力する位相差発生回路と、
前記位相差発生回路の第2の出力信号を遅延させる第1の可変遅延回路と、
前記位相差発生回路から出力される前記第1、第2の出力信号の位相差を検出して出力する位相比較回路と、
前記位相比較回路から出力される位相差検出信号を平滑化するフィルタと、
を備え、

前記第1の可変遅延回路は前記フィルタの出力によって遅延時間が可変され、
前記フィルタの出力によって遅延時間が可変される第2の可変遅延回路を備え、前記入力クロックをそれぞれ前記第1、第2の可変遅延回路で遅延させた信号を第1、第2の出力クロックとして出力し、
前記第1の出力クロックが前記位相差発生回路に対して、前記出力クロックとして入力される、ことを特徴とするクロック制御回路。

【請求項15】入力されたクロックを受ける入力バッファと、
前記入力バッファからの入力クロックを一の入力端から入力し、一の出力クロックを他の入力端から入力し、入力される位相決定情報に基づき、前記入力クロックと前記出力クロックとを前記位相決定情報で規定される内分比をもって遅延させた信号であって、位相差が前記位相決定情報で規定される第1、第2の出力信号を出力する位相差発生回路と、
前記位相差発生回路から出力される前記第1、第2の出力信号の位相差を検出して出力する位相比較回路と、
前記位相比較回路から出力される位相差検出信号を平滑化するフィルタと、
前記フィルタの出力に基づき遅延時間が可変され、前記入力バッファの出力を遅延させる第1の可変遅延回路と、
前記第1の可変遅延回路の出力を入力し第1の出力クロックを出力する第1のクロックバッファと、
を備え、前記第1の出力クロックが、前記位相差発生回路に前記一の出力クロックとして入力され、
前記フィルタの出力と、入力された設定値とを加算する加算回路と、

前記入力バッファの出力を入力とし、前記加算回路の出力によって遅延時間が可変される第2の可変遅延回路と、

前記第2の可変遅延回路の出力を入力し第2の出力クロックを出力する第2のクロックバッファと、
を備えている、ことを特徴とするクロック制御回路。

【請求項16】前記入力バッファからは互いに相補のクロック対が出力され、前記第1の可変遅延回路と前記第1のクロックバッファの組と、前記第2の可変遅延回路と前記第2のクロックバッファの組を、相補のクロック対のそれぞれのクロックに対して備えている、ことを特徴とする請求項14又は15記載のクロック制御回路。

【請求項17】前記位相差発生回路が、前記入力クロックを分周する分周回路と、
前記分周回路で分周されたクロックを前記入力クロックの立上がり又は立下り遷移でサンプルする第1のフリップフロップと、

前記第1のフリップフロップの出力を前記入力クロックの立上がり又は立下り遷移でサンプルする第2のフリップフロップと、

前記第1、第2のフリップフロップの出力を入力とし、二つの出力のタイミング差を、位相決定情報に基づき第1の内分比で分割した時間で規定される遅延時間の出力信号を出力する第1のインターポレータと、

前記分周回路で分周されたクロックを、入力される前記出力クロックの立上がり又は立下り遷移でサンプルする第3のフリップフロップと、

前記第3のフリップフロップの出力を前記出力クロックの立上がり又は立下り遷移でサンプルする第4のフリップフロップと、

前記第3、第4のフリップフロップの出力を入力とし、二つの出力のタイミング差を、前記位相決定情報に基づき第2の内分比で分割した時間で規定される遅延時間の出力信号を出力する第2のインターポレータと、を備えている、ことを特徴とする請求項12乃至15のいずれかに記載のクロック制御回路。

【請求項18】前記各インターポレータが、第1の入力端と第2の入力端からの第1、第2の入力信号を入力とする論理回路と、

第1の電源と内部ノード間に挿入され前記論理回路の出力が第1の値のときにオンするスイッチと、
内部ノードと第2の電源間に接続される前記容量と、
前記内部ノードが入力端に接続されたインバータと、を備え、

前記内部ノードに一端が接続され、制御端子に前記第1の入力端からの第1の入力信号が供給される、互い並列に接続されたN個の第2のスイッチと、

前記内部ノードに一端が接続され、制御端子に前記第2の入力端からの第2の入力信号が供給される、互い並列に接続されたN個の第3のスイッチと、

前記第2のスイッチの他端と第2の電源間に挿入され、制御端子に位相決定情報をなす制御信号が接続され、オン及びオフされるN個の第4のスイッチと、
前記第3のスイッチの他端と前記第2の電源間に挿入され、制御端子に位相決定情報をなす制御信号が接続され、オン及びオフされるN個の第5のスイッチと、
を備えている、ことを特徴とする請求項11又は17に記載のクロック制御回路。

【請求項19】入力バッファからの入力クロックを受けた多相クロック発生回路では前記入力クロックから、互いに位相の異なる複数のクロック（「多相クロック」という）を発生し、

選択回路において前記多相クロック発生回路からの多相クロック出力を入力としそのうちの一つを選択し、
前記選択されたクロックを第1の可変遅延回路で遅延させ、

前記第1の可変遅延回路の出力を受けるクロックバッファ（「クロックバッファダミー」という）の出力と、前記多相クロック発生回路からの1の出力と、の二つの出力の位相差を位相比較回路で検出し、前記位相比較結果をフィルタで平滑化した信号に基づき、前記第1の可変遅延回路の遅延時間を可変させ、

前記入力バッファの出力を入力とし、前記フィルタの出力で遅延時間が可変される第2の可変遅延回路の出力を受けるクロックバッファから、前記入力クロックに対して所望の位相関係にある出力クロックが出力される、ことを特徴とするクロック制御方法。

【請求項20】入力されたクロックを受ける入力バッファの出力を位相差発生回路に入力し、前記位相差発生回路では、与えられた位相決定情報に基づき、前記入力バッファの出力を所定の位相差分遅延させた信号を生成し、

前記位相差発生回路の出力を遅延させる第1の可変遅延回路の出力を入力とするクロックバッファダミーの出力と、前記位相差発生回路の出力と位相差を位相比較回路で検出し、

前記位相比較結果をフィルタで平滑化し、前記第1の可変遅延回路は、前記フィルタの出力で遅延時間が可変され、

前記入力バッファの出力を入力とし、前記フィルタの出力で遅延時間が可変される第2の可変遅延回路の出力を入力とするクロックバッファから出力クロックが出力される、ことを特徴とするクロック制御方法。

【請求項21】入力されたクロックを受ける入力バッファの出力を位相差発生回路の一の入力端から入力し、一の出力信号を前記位相差発生回路の他に入力端から入力し、前記位相差発生回路では、入力される位相決定情報に基づき、前記入力バッファの出力と前記出力信号とから所望の位相差を有する二つの信号を出力し、
前記位相差発生回路の二つの出力の位相差を位相比較回

路で検出し、
前記位相比較結果をフィルタで平滑化し、
前記入力バッファの出力を遅延させる第1の可変遅延回路を受ける第1のクロックバッファから出力信号が出力され、
前記第1のクロックバッファの出力信号が、前記位相差発生回路の前記他の入力端に供給され、
前記第1の可変遅延回路は、前記フィルタの出力で遅延時間が可変される、ことを特徴とするクロック制御方法。

【請求項22】前記フィルタの出力と入力された加算情報を加算回路で加算し、加算回路からの信号で遅延時間が可変され、前記入力バッファからの出力を遅延させて出力する可変遅延回路をさらに設け、前記可変遅延回路の出力をクロックバッファを介して出力する、ことを特徴とする請求項19乃至21のいずれかに記載のクロック制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、クロック制御回路及びクロック制御方法に関する。

【0002】

【従来の技術】入力信号に対して所定の位相の信号を生成する回路として、例えば図18に示すようなDLL (Delay Locked Loop; 遅延同期ループ) を用いた構成が知られている。図18に示す構成については、例えば文献1 (ISSCC 1997 p.p. 332-333 S. Sidiropoulos and Mark Horowitz et al., "A semi-digital delay locked loop with unlimited phase shift capability and 0.08-400MHz operating range") が参照される。

【0003】図18を参照すると、このDLLは、入力バッファ11と、電圧制御型の可変遅延回路 (Voltage Controlled Delay Line) 14と、可変遅延回路14の出力と入力バッファ11の出力の位相差を検出する位相比較回路12と、位相比較回路12からの位相差検出信号を平滑化するフィルタ13とを備えている。可変遅延回路は複数段縦続形態に接続されたバッファよりなる。位相比較回路12は、例えばD型フリップフリップで構成され、位相比較回路12の出力を、フィルタ13 (フィルタ13は位相比較回路12の出力を電圧に変換するチャージポンプとRCフィルタを含む) で積分した電圧が、可変遅延回路14に供給されて、遅延時間が可変に設定され、入力バッファ11の出力と可変遅延回路14の出力の位相が一致する (すなわち位相差がゼロとなる) ようにフィードバック制御され、可変遅延回路14の複数のバッファから等間隔の位相差の出力クロックが出力される。

【0004】また図19は、図18における可変遅延回路14を、VCO (電圧制御発振器) 等の可変発振回路

15で置き換え、多相クロック (multiphase clock) を出力するものである。なお図19に示した構成については、文献2 (ISSC 1993p.p. 160-161 Mark Horowitz et al., "PLL Design for 500MHz Interface") 等が参照される。図19は、上記文献2のPLL回路のメインループの一部を模式的に示したものである。VCO (電圧制御発振器) 等の可変発振回路15は、複数クロック出力 (例えば位相差が等間隔の複数のクロック出力) が出力され、送信、受信のフィードバックループ (不図示) に供給され、内部クロックの位相の細かい調整が行われる。

【0005】しかしながら、図18、図19等に示した構成は、DLL、PLL構成等、帰還系のループを有しており、帰還系のループに起因するジッタが存在しており、所望の位相の信号を正しく生成することは、困難であった。本発明は、かかる問題点を鑑みて創案されたものである。

【0006】

【発明が解決しようとする課題】したがって、本発明が解決しようとする課題は、入力クロックに対して所望の位相差の出力クロックを精度よく生成するクロック制御回路及び方法を提供することである。

【0007】

【課題を解決するための手段】上記課題を解決するための手段を提供する本発明は、入力クロックから互いに位相の異なる複数のクロック (「多相クロック」という) を生成出力する多相クロック発生回路と、前記多相クロック発生回路から出力される多相クロックを入力としそのうちの一つを選択出力する選択回路と、前記選択回路の出力を第1の可変遅延回路で遅延させた出力と、前記多相クロック発生回路から出力される多相クロックの一つとの位相差を検出して出力する位相比較回路と、前記位相比較回路から出力される位相差検出信号を平滑化するフィルタと、を備え、前記第1の可変遅延回路は前記フィルタの出力によって遅延時間が可変され、前記フィルタの出力によって遅延時間が可変される第2の可変遅延回路を備え、前記入力クロックを前記第2の可変遅延回路で遅延させた信号が出力クロックとして出力される。

【0008】本発明は、与えられた位相決定情報に基づき、入力クロックを、所定の位相差分遅延させた信号を出力する位相差発生回路と、前記位相差発生回路の出力を遅延させる第1の可変遅延回路と、前記位相差発生回路の出力と前記第1の可変遅延回路からの出力信号の位相差を検出する位相比較回路と、前記位相比較回路から出力される位相差検出信号を平滑化するフィルタと、を備え、前記第1の可変遅延回路は前記フィルタの出力によって遅延時間が可変され、前記フィルタの出力によって遅延時間が可変される第2の可変遅延回路を備え、前記入力クロックを前記第2の可変遅延回路で遅延させた

信号を出力クロックとして出力する。

【0009】本発明は、入力クロックと、出力クロックを入力し、前記入力クロックと前記出力クロックとに基づき、入力された位相決定情報によって規定される位相差を有する第1、第2の出力信号を出力する位相差発生回路と、前記位相差発生回路の第2の出力信号を遅延させる第1の可変遅延回路と、前記位相差発生回路から出力される前記第1、第2の出力信号の位相差を検出して出力する位相比較回路と、前記位相比較回路から出力される位相差検出信号を平滑化するフィルタと、を備え、前記第1の可変遅延回路は前記フィルタの出力によって遅延時間が可変され、前記フィルタの出力によって遅延時間が可変される第2の可変遅延回路を備え、前記入力クロックをそれぞれ前記第1、第2の可変遅延回路で遅延させた信号を第1、第2の出力クロックとして出力し、前記第1の出力クロックが、前記位相差発生回路に対して前記出力クロックとして入力される。

【0010】前記課題は、以下の実施の形態及び実施例の説明からも明らかとされるように、本願特許請求の範囲の各請求項の発明によっても同様にして解決される。

【0011】

【発明の実施の形態】本発明の実施の形態について説明する。本発明のクロック制御回路は、その好ましい一実施の形態において、図1を参照すると、入力バッファ

(1)からのクロックより、互いに位相の異なるクロック(「多相クロック」という)を発生する多相クロック発生回路(2)と、多相クロック発生回路からの多相クロック出力を入力としそのうち所望の位相差に対応する一つを選択する選択回路(9)と、選択回路の出力を遅延させる可変遅延回路(50)と、可変遅延回路(50)の出力を入力としダミーの負荷(8)を駆動するクロックバッファダミー(60)と、多相クロック発生回路

(2)からの一の出力と、クロックバッファダミー(60)の出力との位相差を検出する位相比較回路(3)と、位相比較回路(3)から出力された位相差検出信号を平滑化するフィルタ(4)と、を備え、可変遅延回路(50)は、フィルタ(4)の出力で遅延時間が可変され、入力バッファ(1)の出力を入力としフィルタ(4)の出力で遅延時間が可変される可変遅延回路(51)と、可変遅延回路(51)の出力をそれぞれ入力するクロックバッファ(61)と、を備えている。

【0012】また、フィルタの出力(4)と入力される設定値(13)とを加算する加算回路(7)と、入力バッファ(1)の出力を入力とし、加算回路(7)の出力で遅延時間が可変される可変遅延回路(52)と、可変遅延回路(52)の出力をそれぞれ入力するクロックバッファ(62)と、を備える。

【0013】多相クロックのうちの一のクロックが位相比較回路(3)に入力され、該一のクロックに対して、多相クロックのうち所望の位相差のクロックが選択されて

可変遅延回路(50)に供給され、該位相差と、可変遅延回路(50)とクロックバッファダミー(60)の遅延時間が、当該位相差と等しくなるように可変遅延回路(50)の遅延時間が可変制御される。

【0014】クロックバッファ(61)の出力OUT1は、クロックバッファダミー(60)の出力と同一位相の信号とされ、クロックバッファ(62)の出力OUT2は、クロックバッファダミー(60)の出力に対して、設定値(13)分、加算回路(7)で加算減算した値に対応する位相差の信号とされる。

【0015】本発明の一実施の形態において、多相クロック発生回路(2)は、図3を参照すると、入力クロックを分周して多相クロックを生成出力する分周回路(201)と、この分周回路から出力される多相クロックを入力とし、クロックを逡倍した多相クロックを生成する多相クロック逡倍回路(202)とを備えて構成される。

【0016】多相クロック逡倍回路(202)は、図4を参照すると、 n 相のクロック(第1乃至第 n クロック)を入力し、二つの入力のタイミング差を分割した信号を出力する $2n$ 個のタイミング差分割回路(208~215)を備え、奇数番目(2I-1番目、ただし、 $1 \leq I \leq n$)のタイミング差分割回路は、前記二つの入力として、 n 相クロックのうち、I番目の同一クロックを入力とし、偶数番目(2I番目、ただし、 $1 \leq I \leq n$)のタイミング差分割回路は、 n 相クロックのうち、I番目のクロックとI+1番目のクロック(ただし、 $n+1$ 番目は1番目)を入力とする。

【0017】パルス幅補正回路(216)は、タイミング差分割回路(208、210)の出力T21とT23を入力し、パルス幅補正回路(217)は、タイミング差分割回路(209、211)の出力T22とT24を入力するという具合に、J番目(ただし、 $1 \leq J \leq 2n$)のパルス幅補正回路(216~223)は、J番目(ただし、 $1 \leq J \leq 2n$)のタイミング差分割回路の出力と($J+2 \bmod n$)番目(ただし、 $J+2 \bmod n$ は、 $J+2$ を n で割った余り)のタイミング差分割回路の出力とを入力とする。

【0018】K番目(ただし、 $1 \leq K \leq n$)の多重化回路(224~227)は、K番目のパルス幅補正回路の出力と($K+n$)番目のパルス幅補正回路の出力とを入力として多重化して出力する。

【0019】本発明は、別の実施の形態として、図9を参照すると、入力バッファ(1)の出力を入力し、位相決定情報(14)に基づき、前記入力バッファの出力を所定の位相差分遅延させた信号を出力する位相差発生回路(10)と、位相差発生回路(10)の出力を遅延させる可変遅延回路(50)と、可変遅延回路(50)の出力を駆動するクロックバッファダミー(60)と、位相差発生回路(10)の出力とクロックバッファダミー

(60)の出力の位相差を検出する位相比較回路(3)と、位相比較回路(3)の出力を平滑化するフィルタ(4)と、を備え、可変遅延回路(50)は、フィルタ(4)の出力で遅延時間が可変される。入力バッファ(1)の出力を入力とし、フィルタ(4)の出力で遅延時間が可変される可変遅延回路(51)と、フィルタ(4)の出力と、入力された設定値(13)とを加算する加算回路(7)と、入力バッファ(1)の出力を入力とし、加算回路(7)の出力で遅延時間が可変される可変遅延回路(52)と、可変遅延回路(51、52)の出力をそれぞれ入力するクロックバッファ(61、62)と、を備える。

【0020】位相差発生回路(10)は、図10を参照すると、入力クロックを分周する分周回路(101)と、分周回路(101)の出力を入力クロックの立ち上がり又は立ち下りの遷移エッジでサンプルする第1のフリップフロップ(1021)と、第1のフリップフロップの出力を前記入力クロックの立ち上がり又は立ち下りの遷移エッジでサンプルする第2のフリップフロップ(1022)と、第1、第2のフリップフロップの出力を入力とし、二つの出力のタイミング差を第1の内分比で分割した時間で規定される遅延時間の出力信号(INT1)を出力する第1のインターポレータ(1031)と、第1、第2のフリップフロップの出力を入力とし、二つの出力のタイミング差を第2の内分比で分割した時間で規定される遅延時間の出力信号(INT2)を出力する第2のインターポレータ(1032)と、を備えている。

【0021】第1、第2のインターポレータ(1031、1032)は、入力信号の位相差(時間差)を、与えられた位相決定情報(図9の14)に基づき、異なる内分比で内分した信号を出力し、位相比較回路3に供給される信号(INT1)は、第1の可変遅延回路(50)に供給される出力信号(INT2)に対して所望の位相差(例えば90度)に設定される。

【0022】本発明は、別の実施の形態において、図13を参照すると、入力されたクロックを受ける入力バッファ(1)と、入力バッファ(1)からの入力クロックを一の入力端から入力し、出力クロックを他の入力端から入力し、入力される位相決定情報(14)に基づき、入力クロックと出力クロックとから、位相決定情報(14)で規定される位相差の二つの出力信号を出力する位相差発生回路(10A)と、位相差発生回路の二つの出力の位相差を検出する位相比較回路(3)と、位相比較回路の出力を平滑化するフィルタ(4)と、フィルタ(4)の出力で可変にされる遅延時間をもって入力バッファの出力を遅延させる第1の可変遅延回路(51)と、第1の可変遅延回路の出力を入力し第1の出力クロックを出力する第1のクロックバッファ(61)と、フィルタ(4)の出力と入力設定値(13)とを加算する

加算回路(7)と、入力バッファ(1)の出力を入力とし、加算回路(7)の出力で遅延時間が可変される第2の可変遅延回路(52)と、第2の可変遅延回路(52)の出力を入力し第2の出力クロックを出力する第2のクロックバッファ(62)と、を備え、第1のクロックバッファ(61)から出力される第1の出力クロックが位相差発生回路(10A)に入力される。

【0023】位相差発生回路(10A)は、図14を参照すると、入力クロックを分周する分周回路(101)と、分周回路(101)で分周されたクロックを入力クロック立ち上がり又は立ち下りの遷移エッジでサンプルする第1のフリップフロップ(1021)と、第1のフリップフロップの出力を入力クロックの立ち上がり又は立ち下りの遷移エッジでサンプルする第2のフリップフロップ(1022)と、第1、第2のフリップフロップの出力を入力とし、二つの出力のタイミング差を、位相決定情報に基づき第1の内分比で分割した時間で規定される遅延時間の出力信号を出力する第1のインターポレータ(1031)と、分周回路で分周されたクロックを出力クロック(第1のクロックバッファの出力)の立ち上がり又は立ち下りの遷移エッジでサンプルする第3のフリップフロップ(1023)と、第3のフリップフロップの出力を前記出力クロック(図13の第1のクロックバッファ61の出力)の立ち上がり又は立ち下りの遷移エッジでサンプルする第4のフリップフロップ(1024)と、第3、第4のフリップフロップの出力を入力とし、二つの出力のタイミング差を、前記位相決定情報に基づき第2の内分比で分割した時間で規定される遅延時間の出力信号を出力する第2のインターポレータ(1032)と、を備えている。

【0024】本発明は、DLL回路、PLLのVCOを用いて多相クロックを生成する従来の構成(図18、図19参照)と較べて、帰還ループに起因するジッタ成分を特段に縮減し、入力されるクロックに対して、所望の位相関係にあるクロックを精度よく生成出力することができる。

【0025】

【実施例】上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施例について図面を参照して説明する。図1は、本発明の一実施例の構成を示す図である。図1を参照すると、クロック端子から入力される入力クロックINが入力バッファ1に入力され、入力バッファ1から出力されるクロックより、多相クロックを生成する多相クロック発生回路2と、多相クロック発生回路2からの多相クロック出力を入力としそのうちの一つを選択する選択回路9と、選択回路9の出力を遅延させる可変遅延回路50と、可変遅延回路50の出力を入力し負荷ダミー8を駆動するクロックバッファダミー60と、多相クロック発生回路2からの出力と、クロックバッファダミー60の出力との位相差を検出する位相

比較回路3と、位相比較回路3の出力を平滑化するフィルタ4と、を備え、可変遅延回路50は、フィルタ4の出力によって遅延時間が可変され、入力バッファ1の出力を入力としフィルタ4の出力によって遅延時間が可変される可変遅延回路51と、可変遅延回路51の出力をそれぞれ入力するクロックバッファ61を備える。

【0026】クロックバッファダミー60には、クロックバッファ61、62の負荷と、ほぼ同等の負荷を与える負荷ダミー8が接続されている。クロックバッファダミー60と、クロックバッファ61、62は、好ましくは、同一構成とされ、電流駆動能力は同一とされ、同一負荷に対して、同一の遅延時間で信号を出力する。

【0027】フィルタ4の出力と、入力される設定値（電圧又はデジタルコード）13とを加算する加算回路7と、入力バッファ1の出力を入力とし、加算回路7の出力で遅延時間が可変される可変遅延回路52と、可変遅延回路52の出力をそれぞれ入力するクロックバッファ62を備える。

【0028】位相比較回路3は、入力された二つの信号の位相差を検出して出力する回路であれば任意の構成が用いられ、簡易な構成として、データ入力端のデータ信号をクロック入力端のサンプリングクロックの立ち上がり又は立ち上がりエッジでサンプルするD型フリップフロップより構成され、このフリップフロップのデータ入力端、クロック入力端には、クロックバッファダミー60の出力、多相クロック発生回路2からの出力が入力されるか、これとは逆に、多相クロック発生回路2からの出力、クロックバッファダミー60の出力が入力される。

【0029】フィルタ4は、位相比較回路3の出力を平滑化するものであれば任意の構成とされ、例えば位相比較回路3の出力によりキャパシタの充電及び放電を行うチャージポンプと、低域通過フィルタより構成される。

【0030】可変遅延回路50～52は、例えば図17(a)に示すように、信号を入力するCMOSインバータ列(INV1～INVn)と、CMOSインバータ列と電源間に挿入され、ゲート端子に与えられる制御電圧でオン抵抗の抵抗値が可変されるトランジスタ素子MP17とを備え、制御電圧でトランジスタ素子MP17の抵抗値を変えることで、CMOSインバータ列の遅延時間が可変される構成としてもよい。図17(a)に示す回路では、可変遅延回路5の初段と最終段のCMOSインバータは、振幅を適合させるため、電圧は可変されず、電源電圧VDDが供給される構成とされている。なお、各CMOSインバータの電源バスに、制御電圧をゲート入力とするトランジスタ素子を挿入してもよい。

【0031】可変遅延回路50～52は、例えば図17(b)に示すように、フィルタ4がその出力をデジタル信号で出力する（あるいはフィルタ4の出力電圧をA/D変換器でデジタル信号に変換出力する）とされ、可変

遅延回路5は、複数段のインバータの出力を入力とするセレクト17がフィルタ4の出力信号を選択制御信号として、該当する遅延時間のインバータの出力を選択する構成としてもよい。

【0032】また図1に示す構成において、加算回路7をデジタル回路で構成した場合、フィルタ4の出力と設定値13はデジタル信号とされ、加算回路7をアナログ回路（電圧加算器）で構成した場合、設定値13は電圧で与えられる。

【0033】多相クロック発生回路2から出力される多相クロック（入力クロックのクロック周期 T_{CK} を等分割した等間隔の位相差で遷移するクロック）の一の信号が位相比較回路3に入力され、選択回路2では、該一の信号に対して所定の位相の信号を選択され、可変遅延回路50とクロックバッファダミー60の遅延時間が、当該位相差と等しくなるように、可変遅延回路50の遅延時間が可変制御される。なお、多相クロック発生回路2の構成については、後に、詳述される。

【0034】クロックバッファ61の出力OUT1は、クロックバッファダミー60の出力と同一位相の信号とされ、クロックバッファ62の出力OUT2は、クロックバッファダミー60の出力の位相に、設定値13を加算（設定値13が負値のときは減算）した値に対応する位相の信号とされる。

【0035】図1に示した本発明の第1の実施例の動作について説明する。選択回路9は多相クロック発生回路2から出力される多相クロックのうち、位相比較回路3に供給されるクロックに対して所定の位相関係のクロック（第i相のクロック）を選択し、位相比較回路3において、可変遅延回路50とクロックバッファダミー60の遅延時間と該位相差が等しくなるように制御され、出力OUT1からは、入力クロックに対して所望の位相差の第1のクロック信号が出力され、さらに出力OUT2からは、出力OUT1から出力される第1のクロック信号に対して所望の位相差の第2のクロック信号が出力される。選択回路9における選択は、不図示のCPUからの選択制御信号で選択してもよいし、外部入力される選択制御信号等で選択する等任意である。例えば、多相クロックのうち、位相比較回路3に供給されるクロックが、選択回路9で選択出力されるクロックに対して、位相が90度遅れたものである場合、クロックバッファダミー60の出力と、位相比較回路3に供給されるクロックとの位相が等しくなるようにフィードバック制御される。

【0036】図2は、本発明の第1の実施例の変形例の構成を示す図である。図2に示す例では、クロックが入力バッファ1に相補（同相、逆相信号の対）で入力され、入力バッファ1から相補信号（同相、逆相信号の対）として出力され、平衡型差動モードで伝送される同相、逆相クロックのそれぞれのクロックについて、可変遅延回路51とクロックバッファ61、可変遅延回路51B

とクロックバッファ61B、可変遅延回路52とクロックバッファ62、可変遅延回路52Bとクロックバッファ62Bを備えている。クロックバッファ61、61Bからは、入力クロックINに対して第1の位相差の互いに相補の出力クロックOUT1とOUT1B、クロックバッファ62、62Bからは、入力クロックINに対して第2の位相差（加算回路7で規定される）の互いに相補の出力クロックOUT2とOUT2Bが出力される。この変形例は、高速クロックの伝送に好適とされる。

【0037】図3は、図1、及び図2における多相クロック発生回路2の構成の一例として、4相クロックを生成する4相クロック逓倍回路の構成の具体例を示す図である。図3に示すように、4相クロック逓倍回路は、入力クロック205を4分周し4相クロックQ1～Q4を出力する1/4分周回路201と、n段縦続接続された4相クロック逓倍回路（MPFD（multiphase frequency doubler；多相倍周回路）ともいう）202₁～202_nと、クロック合成回路203と、周期検知回路204とを備えている。最終段の4相クロック逓倍回路202_nからは、2n逓倍された4相クロックQn1～Qn4が出力される。なお、4相クロック逓倍回路の段数nは任意である。この4相クロック逓倍回路の動作の概略を述べれば、4相のクロックを、各4相クロック逓倍回路202で、8相にした後、4相に戻すことで、連続的に逓倍を行う。なお、最終段の4相クロック逓倍回路202_nから生成された8相のクロックをそのまま出力する構成としてもよい。詳細を以下に説明する。

【0038】図4は、図3に示した、多相クロック逓倍回路を4相クロック逓倍回路とした場合の、4相クロック逓倍回路202_nの構成の一例を示す図である。なお、図3に示した4相クロック逓倍回路202₁～202_nは、いずれも同一構成とされる。

【0039】図4（a）を参照すると、この4相クロック逓倍回路202_nは、8組のタイミング差分割回路208～215と、8個のパルス補正回路216～223と、4組の多重化回路224～227から構成されている。図4（b）は、パルス幅補正回路の構成を示す図であり、第2の入力T23をインバータINVで反転した信号と、第1の入力T21を入力とするNAND回路からなる。図4（c）は、多重化回路の構成を示す図であり、2入力NAND回路からなる。

【0040】図5は、図4に示した4相クロック逓倍回路202のタイミング動作を示す信号波形図である。クロックT21の立ち上がりは、クロックQ（n-1）1の立ち上がりからタイミング差分割回路208の内部遅延分の遅れで決定され、クロックT22の立ち上がりは、クロックQ（n-1）1の立ち上がりとクロックQ（n-1）2の立ち上がりのタイミングのタイミング差分割回路209でのタイミング分割と内部遅延分の遅れで決定され、クロックT23の立ち上がりは、クロック

Q（n-1）1の立ち上がりとクロックQ（n-1）2の立ち上がりのタイミングのタイミング差分割回路210でのタイミング分割と内部遅延分の遅れで決定され、以下同様に、クロックT26の立ち上がりはクロックQ（n-1）3の立ち上がりとクロックQ（n-1）4の立ち上がりのタイミングのタイミング差分割回路213でのタイミング分割と内部遅延分の遅れで決定され、クロックT27の立ち上がりはクロックQ（n-1）4の立ち上がりのタイミングのタイミング差分割回路214での内部遅延分の遅れで決定され、クロックT28の立ち上がりはクロックQ（n-1）4の立ち上がりとクロックQ（n-1）1の立ち上がりのタイミングのタイミング差分割回路215でのタイミング分割と内部遅延分の遅れで決定される。

【0041】タイミング差分割回路208と210から出力されるクロックT21とT23はパルス幅補正回路216に入力され、パルス幅補正回路216では、クロックT21で決定される立ち下がりエッジ、クロックT23で決定される立ち上がりエッジを有するパルスP21を出力する。同様の手順で、パルスP22～P28が生成され、クロックP21～P28は位相が45度ずつずれたデューティ25%の8相のパルス群となる。このクロックP21と位相が180度ずれたクロックP25は、多重化回路224で多重化反転され、デューティ25%のクロックQn1として出力される。同様に、クロックQn2～Qn4が生成される。クロックQn1～Qn4は、位相が90度ずつずれたデューティ50%の4相のパルス群となり、クロックQn1～Qn4の周期は、クロックQ（n-1）1～Q（n-1）4からクロックQn1～Qn4を生成する過程で、周波数が2倍に逓倍される。

【0042】すなわち、4相のクロックQ（n-1）1～Q（n-1）4から8相クロックP21～P28を生成し、倍周の4相クロックQn1～Qn4を生成している。なお、最終段の4相クロック逓倍回路202_nから（図3参照）において、8相クロックP21～P28を出力する構成としてもよい（この場合、図1の選択回路9には、等間隔の位相差の8相クロックが入力される）。

【0043】図6は、図4に示したタイミング差分割回路208、209の動作原理を模式的に示す図であり、同一の信号を入力とするタイミング差分割回路208、210、212、214（homo）では、固有の遅延時間で出力信号を出力し、位相差Tのある2入力を入力とするタイミング差分割回路209、211、213、215（hetero）は、タイミング差分割回路の固有の遅延時間に、位相差Tを2等分した時間T/2（位相差Tを等分した時間）を加算した遅延時間で遷移する信号を出力する。

【0044】図7は、図4に示したタイミング差分割回

路208、209の構成の一例を示す図である。タイミング差分割回路208では、二つの入力IN1、IN2に、同一信号が入力され、タイミング差分割回路209では、隣り合う二つの信号が入力されている。すなわち、タイミング差分割回路208では、同一入力Q(n-1)1が入力端IN1、IN2に入力され、タイミング差分割回路209ではQ(n-1)1とQ(n-1)2が入力端IN1、IN2に入力されている。電源VDDにソースが接続されドレインが内部ノードN1に接続されたPチャネルMOSトランジスタMP01と、入力信号IN1、IN2を入力し、出力がPチャネルMOSトランジスタMP01のゲートに接続されたOR回路OR1と、内部ノードN1にドレインが接続され、ソースが定電流源I0を介してグランドに接続され、ゲートに入力信号IN1、IN2が接続されたNチャネルMOSトランジスタMN01、MN02を備え、内部ノードN1は、インバータINV01の入力端に接続され、内部ノードN1とグランド間には、NチャネルMOSトランジスタMN11と容量CAP11を直列接続した回路、NチャネルMOSトランジスタMN12と容量CAP12を直列接続した回路、…、NチャネルMOSトランジスタMN15と容量CAP15を直列接続した回路が、並列に接続され、各NチャネルMOSトランジスタMN11、MN12、…、MN15のゲートには、入力クロックの周期を検知する周期検知回路204からの、5ビット幅の制御信号206がそれぞれ接続されてオン・オフ制御される。NチャネルMOSトランジスタMN11、MN12、MN13、MN14、MN15のゲート幅と容量CAP11、CAP12、CAP13、CAP14、CAP15は、そのサイズ比が、例えば16:8:4:2:1とされており、周期検知回路204(図3参照)から出力される制御信号206に基づき、共通ノードに接続される負荷を32段階に調整することで、クロック周期が設定される。

【0045】タイミング差分割回路208については、二つの入力IN1、IN2に共通入力されるクロックQ(n-1)1の立ち上がりエッジにより、ノードN1の電荷が二つのNチャネルMOSトランジスタMN01、MN02を介して引き抜かれ、ノードN1の電位がインバータINV01のしきい値に達したところで、インバータINV01の出力であるクロックT21が立ち上がる。インバータINV01のしきい値に達したところまで引き抜く必要のあるノードN1の電荷をCV(ただし、Cは容量値、Vは電圧)とし、NチャネルMOSトランジスタによる放電電流をIとすると、クロックQ(n-1)1の立ち上がりから、CVの電荷量を、電流値2Iの定電流で放電することになり、その結果、時間 $CV/2I$ が、クロックQ(n-1)1の立ち上がりエッジから、クロックT21の立ち上がりまでのタイミング差(伝搬遅延時間)を表している。

【0046】クロックQ(n-1)1がLowレベルのとき、PチャネルMOSトランジスタMP01がオンとされ、ノードN1がHighに充電され、インバータINV01の出力クロックT21はLowレベルとなる。

【0047】タイミング差分割回路209については、クロックQ(n-1)1の立ち上がりエッジから時間 $tCKn$ (=多相クロック周期)後の期間、ノードN1の電荷が引き抜かれ、時間 $tCKn$ 後、クロックQ(n-1)2の立ち上がりエッジから、ノードN1の電位がインバータINV01のしきい値に達したところで、クロックT22のエッジが立ち上がる。ノードN1の電荷をCVとし、NMOSトランジスタの放電電流をIとすると、クロックQ(n-1)1の立ち上がりから、CVの電荷量を $tCKn$ の期間、定電流Iで放電し、残りの期間を、定電流2Iで引き抜く結果、時間、 $tCKn + (CV - tCKn \cdot I) / 2I = CV/2I + tCKn/2$ …(1)

が、クロックQ(n-1)1の立ち上がりエッジから、クロックT22の立ち上がりエッジのタイミング差を表している。

【0048】すなわち、クロックT22とクロックT21の立ち上がりのタイミング差は、 $tCKn/2$ となる。

【0049】クロックQ(n-1)1とQ(n-1)2がともにLowレベルとなり、ノードN1が、PチャネルMOSトランジスタMP01を介して電源からHighレベルに充電された場合、クロックT22が立ち下がる。クロックT22～T28についても同様とされ、クロックT21～T28の立ち上がりのタイミング差はそれぞれ $tCKn/2$ となる。

【0050】パルス幅補正回路216～223は、位相が45度ずつずれたデューティ25%の8相のパルス群P21～P28を生成する(図4参照)。

【0051】多重化回路224～227は、位相が90度ずつずれたデューティ50%の4相のパルス群Qn1～Qn4を生成する(図4参照)。

【0052】図7に示したタイミング差分割回路は、使用されるアプリケーションに応じて、適宜、変形される。例えば、PチャネルMOSトランジスタMP01のゲートに、第1、第2の入力信号IN1、IN2を入力とする否定論理積回路(NAND)の出力信号を入力し、第1の入力信号IN1、第2の入力信号IN2をインバータでそれぞれ反転した信号をNチャネルMOSトランジスタMN01、MN02のゲートに入力する構成としてもよい。この場合、第1、第2の入力信号IN1、IN2がHighレベルのとき、PチャネルMOSトランジスタMP01がオン(導通)して内部ノードN1が充電され、インバータINV01の出力はLowレベルとされ、第1、第2の入力信号IN1、IN2の一方又は両方がLowレベルのとき、PチャネルMOSト

ランジスタMPO1がオフしPチャネルMOSトランジスタMNO1とMNO2の一方又は両方がオンし、内部ノードN1が放電され、内部ノードN1の電圧がインバータINV01のしきい値以下に下がった場合、インバータINV01の出力は立ち上がりHighレベルとなる。

【0053】図1、図2に示した本発明の第1の実施例においては、位相比較回路3、フィルタ4、可変遅延回路50、及びクロックバッファダミー60が、設定された位相差を生成するための制御系のループを構成しており、入力バッファ1からの信号経路には、帰還ループは含まれていず、出力クロックOUT1（又はOUT1とOUT1B）、OUT2（又はOUT2とOUT2B）は、帰還ループによるジッタの影響を受けることなく、入力クロックINに対して、所望の位相差に保たれることになる。図1、図2に示した本発明の第1の実施例においては、多相クロック発生回路2から出力される多相クロックのうち一つの変遅延回路50に出力し、選択回路9で選択された出力を位相比較回路3に供給するという具合に入れ替えた構成としてもよいことは勿論である。

【0054】位相差の生成については、前述した多相クロック発生回路と選択回路の構成以外にも、いくつかの構成が適用される。次に、インターポレータによる位相差発生回路を備えた本発明の第2の実施例について説明する。

【0055】図8は、本発明の第2の実施例の構成を示す図である。図8を参照すると、本発明の第2の実施例は、入力バッファ1の出力を入力し、入力される位相決定信号14に基づき、入力バッファ1の出力を所定の位相差分遅延させた第1、第2の信号を出力する位相差発生回路10と、位相差発生回路10の第2の出力bを遅延させる可変遅延回路50と、可変遅延回路50の出力を駆動するクロックバッファダミー60と、位相差発生回路10の第1の出力aとクロックバッファダミー60の出力の位相差を検出する位相比較回路3と、位相比較回路3の出力を平滑化するフィルタ4と、を備え、可変遅延回路50は、フィルタ4の出力で遅延時間が可変される。入力バッファ1の同相、逆相の相補出力をそれぞれ入力とし、フィルタ4の出力で遅延時間が可変される可変遅延回路51、51Bと、フィルタ4の出力と、入力された設定値13とを加算する加算回路7と、入力バッファ1の同相、逆相の相補出力をそれぞれ入力とし、加算回路7の出力で遅延時間が可変される可変遅延回路52、52Bと、可変遅延回路51、51Bと52、52Bの出力をそれぞれ入力するクロックバッファ61、61Bと62、62Bと、を備える。クロックバッファダミー60には、クロックバッファ61、61Bと62、62Bの負荷と、ほぼ同等の負荷を与える負荷ダミー8が接続されている。クロックバッファダミー60と、クロックバッファ

61、62とは、好ましくは、同一構成とされ、電流駆動能力は同一とされ、同一負荷に対して、同一の遅延時間で信号を出力する。

【0056】図9は、本発明の第2の実施例の変形例として、クロックを差動モードでなく、シングルエンドで伝送する構成を示した図である。各部の機能は、前述した第2の実施例と同一である。

【0057】図8、図9に示した本発明の第2の実施例の動作について説明する。位相比較回路3に、位相差発生回路10から与えられた位相差（例えば90度）に対して、可変遅延回路50とクロックバッファダミー60の遅延時間が等しくなるように、位相比較回路3、フィルタ4、可変遅延回路50で制御される。

【0058】図10は、本発明の第2の実施例における位相差発生回路10（図9参照）の回路構成の一例を示す図である。図10を参照すると、この位相差発生回路10は、入力クロックを8分周する分周回路101と、分周回路101で分周されたクロックを入力クロックでサンプルする第1のD型フリップフロップ1021と、第1のD型フリップフロップの出力Aを入力クロックでサンプルする第2のD型フリップフロップ1022と、第1、第2のフリップフロップ1021、1022の出力A、Bを入力とし、二つの出力のタイミング差を制御信号S[0]に基づき第1の内分比で分割した時間で規定される遅延時間の出力信号を出力する第1のインターポレータ（このインターポレータを「微調インターポレータ」ともいう）1031と、第1、第2のフリップフロップの出力A、Bを入力とし、二つの出力のタイミング差を制御信号S[0:31]に基づき第2の内分比で分割した時間で規定される遅延時間の出力信号を出力する第2のインターポレータ1032（「微調インターポレータ」ともいう）と、を備えている。なお、分周回路101は、入力クロック周波数を8分周する回路に限定されるものでない。

【0059】図11は、図10に示した位相差発生回路10の動作を説明するタイミング図である。分周回路101の分周出力を入力クロックでサンプルする第1のフリップフロップ1021の出力Aと、第1のフリップフロップ1021の出力Aを入力クロックでサンプルする第2のフリップフロップ1022の出力Bの位相差（= $\pi/2$ ）を、それぞれ、制御信号S[0]、S[0:31]の値に基づき、第1、第2のインターポレータ1031、1032で内分した時間の遅延時間を含む出力信号を、出力する。図11において、INT1出力、INT2出力は、第1、第2のインターポレータ1031、1032の出力である。

【0060】図11の第1、第2のインターポレータ1031、1032は同一構成とされる。図16は、第1、第2のインターポレータ1031、1032の構成の一例を示す図である。図16を参照すると、このインターポ

レータは、電源VDDと内部ノードN51間に接続され、入力IN1とIN2を入力とする論理和回路OR51からの出力信号がLowのとき、オンされるPチャネルMOSトランジスタMP1と、内部ノードN51とグランド間に接続される容量Cと、内部ノードN51が入力端に接続され、出力端から出力信号outが取り出されるインバータINV51と、を備え、内部ノードN51にドレインが接続され、互い並列に接続された2N個のNチャネルMOSトランジスタMN11～MN1N、MN21～MN2Nと、2N個のNチャネルMOSトランジスタMN11～MN1N、MN21～MN2Nのソースにドレインがそれぞれ接続され、ソースがグランドに接続された2N個のNチャネルMOSトランジスタMN31～MN3N、MN41～MN4Nと、を備え、2N個のNチャネルMOSトランジスタのうちの片側半分の、N個のNチャネルMOSトランジスタMN11～MN1Nのゲートには、入力信号IN1が共通に接続され、2N個のNチャネルMOSトランジスタのうちもう半分の、N個のNチャネルMOSトランジスタMN21～MN2Nのゲートには、入力信号IN1が共通に接続されている。

【0061】NチャネルMOSトランジスタMN31～MN3N、MN41～MN4Nのゲートに入力される制御信号(Nビット制御コード)S[0]～S[N-1]、制御信号(Nビット制御コード)SB[0]～SB[N-1]により、NチャネルMOSトランジスタMN31～MN3NとNチャネルMOSトランジスタMN41～MN4Nの所定個数がオンとされる。Nビットの制御信号S[0:N-1]、SB[0:N-1]は、位相差発生回路10に入力される位相決定信号14であり、SB[0]～SB[N-1]は、S[0]～S[N-1]をそれぞれインバータで反転した相補の信号で与えられる。

【0062】図14では、制御信号S[0:31]が、インターポレータ1031に入力されており、図16のNチャネルMOSトランジスタMN31～MN3N(ただし、Nは32)のゲートに入力され、SB[0:31]の各ビット信号は、制御信号S[0:31]の各ビット信号をインバータ(不図示)で反転した信号とされ、図16のNチャネルMOSトランジスタMN41～MN4N(ただし、Nは32)のゲート端子に入力されている。また制御信号S[0]が、インターポレータ1032に入力されており、SB[0]のビット信号は、制御信号S[0]のビットを反転した信号がNチャネルMOSトランジスタMN41のゲート端子に入力されており、NチャネルMOSトランジスタMN32～MN3Nはオフ状態(ゲート端子はLowレベル固定)、NチャネルMOSトランジスタMN41～MN4N(ただし、Nは32)はオン状態(ゲート端子はHighレベル固定)に設定されている。

【0063】図16を参照して、このインターポレータの動作について説明する。入力IN1、IN2がLowレベルのときOR回路51の出力をゲートに入力とするPチャネルMOSトランジスタMP1はオンし、電源からの電流で容量Cを充電する。

【0064】そして、入力IN1に印加される信号がLowレベルからHighレベルへの立ち上がり遷移時に、NチャネルMOSトランジスタMN11～MN1Nがオンし、ドレインがNチャネルMOSトランジスタMN11～MN1Nのソースに接続され、ソースがグランドに接続され、ゲートに、制御信号S[0]～S[N-1]がそれぞれ入力されるNチャネルMOSトランジスタMN31～MN3Nのうち、制御信号でオンとされているn個のNチャネルMOSトランジスタのバスを介して、容量Cの蓄積電荷が一部放電される。

【0065】入力IN1の立ち上がり遷移から、入力クロックの周期(tCK)遅れて入力IN2がLowレベルからHighレベルへの立ち上がる時に、NチャネルMOSトランジスタMN21～MN2Nがオンし、ドレインがNチャネルMOSトランジスタMN11～MN1Nのソースに接続され、ソースがグランドに接続され、ゲートに制御信号SB[0]～SB[N-1]が入力されるNチャネルMOSトランジスタMN41～MN4Nのうち、制御信号でオンとされている(N-n)個のNチャネルMOSトランジスタのバスを介して、容量Cの蓄積電荷が電される。

【0066】容量Cの端子電圧を入力するインバータINV51の出力がHighレベルに反転するまでに放電される電荷をCVとすると、入力INがHighレベルへの遷移してから位相差(T)の間、電流nIで放電し、つづいて、n個のNチャネルMOSトランジスタMN11～MN1nと、(N-n)個のNチャネルMOSトランジスタMN21～MN2(N-n)の計N個のNチャネルMOSトランジスタのドレイン電流NIで放電され、入力INのLowからHighレベルへの立ち上がりから出力OUTの立ち上がりまでの遅延時間は、

$$(CV - n \cdot I \cdot T) / NI$$

$$= CV / NI - n \cdot T / N \quad \dots (2)$$

と表され、入力IN1とIN2の位相差のN分割を単位として遅延時間を可変することができる。

【0067】図14のインターポレータ1031には、制御信号S[0]がHighレベル、S[1]～S[31]はLowレベル、制御信号SB[0]がLow、SB[1]～S[31]はHighレベルとされる。

【0068】インターポレータ1031の遅延時間は、上式(2)において、位相差T=tCK、N=32、n=1から、

$$CV / (32I) - tCK / 32$$
となる。

【0069】インターポレータ1032には、位相決定

情報14として設定された制御信号(コード)S[0:31]が与えられ、制御信号S[0:i-1]がHighレベル、S[i]~S[31]はLowレベル(ただし、iは2以上31以下の整数)、制御信号SB[0:i-1]がLowレベル、SB[i]~SB[31]はHighレベルとされる。

【0070】すなわち、インターポレータ1032の遅延時間は、上式(2)において、 $N=32$ 、 $n=i$ の場合であり、

$$CV/(32I) - i \cdot t_{CK}/32$$

となり、インターポレータ1032の出力INT2は、インターポレータ1031の出力INT1よりも、

$$(i-1) \cdot t_{CK}/32 \quad \dots(3)$$

分位相が進んでいる。

【0071】インターポレータ1031の出力INT1は、位相比較回路2に供給され、インターポレータ1032の出力INT2は、可変遅延回路50に供給される。

【0072】次に、本発明の第3の実施例について説明する。図12は、本発明の第3の実施例の構成を示す図である。図12を参照すると、本発明の第3の実施例は、入力バッファ1の出力と、クロックバッファ61の出力を入力し、位相決定情報13に基づき、入力バッファ1の出力(同相出力)とクロックバッファ61の出力とから、所望の位相差の二つの信号を出力する位相差発生回路10Aと、位相差発生回路10Aの二つの出力の位相を比較する位相比較回路3と、位相比較回路3の出力を平滑化するフィルタ4と、入力バッファ1の同相、逆相の相補出力をそれぞれ遅延させる可変遅延回路51、51Bと、可変遅延回路51、51Bの出力を駆動するクロックバッファ61、61Bと、を備え、フィルタ4の出力は、可変遅延回路51、51Bに制御信号として入力され、入力バッファ1と同相、逆相の相補出力をそれぞれ遅延させる可変遅延回路52、52Bと、可変遅延回路52、52Bの出力を駆動するクロックバッファ62、62Bと、フィルタ4の出力と設定値13を加算した値を可変遅延回路52、52Bに制御信号として出力する加算回路7とを備えている。

【0073】図13は、本発明の第3の実施例において、入力バッファ1の相補クロック出力を差動モードで伝送せず、シングルエンド方式で伝送する構成とした場合の図である。図13の各部の要素は、図12に示したものと同様である。

【0074】図14は、本発明の第3の実施例における位相差発生回路10A(図12、図13参照)の構成を示す図である。図14を参照すると、この位相差発生回路10Aは、入力クロックを8分周する分周回路101と、分周回路101で分周されたクロックを入力クロックでサンプルする第1のD型フリップフロップ1021と、第1のD型フリップフロップの出力Aを入力クロックでサンプルする第2のD型フリップフロップ1022

と、第1、第2のフリップフロップ1021、1022の出力A、Bを入力とし、二つの出力のタイミング差を、位相決定情報14をなす制御信号(制御コード)S

[0:31]に基づき第1の内分比で分割した時間で規定される遅延時間の出力信号を出力する第1のインターポレータ1031と、分周回路101で分周されたクロックをクロックバッファ61の出力でサンプルする第3のD型フリップフロップ1023と、第3のD型フリップフロップ1023の出力Cをクロックバッファ61の出力でサンプルする第4のD型フリップフロップ1024と、第3、第4のフリップフロップ1023、1024の出力C、Dを入力とし、二つの出力のタイミング差を、位相決定情報14をなす制御信号(制御コード)S

[0]に基づき第2の内分比で分割した時間で規定される遅延時間の出力信号を出力する第2のインターポレータ1032と、を備えている。

【0075】図15は、上記位相差発生回路10Aの動作を説明するタイミング図である。第1のフリップフロップ1021は、分周回路101の分周出力を入力クロックでサンプルして出力し(出力A)、第2のフリップフロップ1022は、第1のフリップフロップ1021の出力Aを入力クロックでサンプルして出力し(出力B)、第1、第2のフリップフロップ1021の出力A、Bが第1のインターポレータ1031に入力され、第1のインターポレータ1031からは、二つの出力A、B間の位相差を制御信号S[0:31]で内分した時間を遅延時間に有する出力信号(INT1出力)が出力され、第3のフリップフロップ1023は、分周回路101の分周出力を、クロックバッファ61の出力クロックでサンプルして出力し(出力C)、第4のフリップフロップ1024は、第3のフリップフロップ1023の出力Cをクロックバッファ61の出力クロックでサンプルして出力し(出力D)、第3、第4のフリップフロップ1023、1024の出力C、Dが第2のインターポレータ1032に入力され、第2のインターポレータ1032からは、二つの出力C、D間の位相差を制御信号S[0]に従って内分した時間を遅延時間に有する出力信号(INT2出力)が出力される。この例では、INT2出力の方が、INT1出力よりも遅れて立ち上がり遅移している。位相差比較回路3(図12、図13参照)は、これら二つの出力INT1、INT2を入力し、フィルタ、可変遅延回路51、クロックバッファ61のフィードバック制御により、可変遅延回路51の遅延時間を可変させ、位相比較回路3の二つの入力の位相差がゼロとなるように制御される。図14の各インターポレータ103は、図16に示した構成と同様とされており、その構成の説明は省略する。

【0076】なお上記各実施例において、フィルタ4は、位相比較回路3からの位相差検出結果を平滑化する回路であれば、チャージポンプをなす容量と抵抗よりな

る低域通過フィルタであってもよく、可変遅延回路と加算回路には電圧信号が供給される。この場合、設定値13は電圧信号で与えられる。あるいは、フィルタが、フィルタがチャージポンプの出力を平滑化した信号をA/D変換器でデジタル信号に変換して出力する構成としてもよい。この場合、この場合、設定値13はデジタル信号で与えられる。またフィルタを、位相比較回路3からの出力を平均化するデジタルフィルタで構成してもよい。

【0077】上記した各実施例のクロック制御回路は、入力クロックから多相クロック発生回路又は位相差発生回路で所望の位相差の信号を生成し該信号と出力との位相比較回路での位相差が零となるように制御する構成としたことにより、回路構成を簡易化し、DLL回路、PLL回路のVCOから多相クロックを生成するという従来の構成(図18、図19参照)と較べて、ジッタ成分を特段に縮減し、入力されるクロックに対して、所望の位相関係にあるクロックを精度よく、生成出力することができる。

【0078】本発明のクロック制御回路は、外部クロック(external clock)を入力バッファから入力して内部クロックを生成し内部の同期回路に供給する半導体集積回路装置(LSI)のクロック制御回路、入力クロックから該入力クロックに対して所定の位相の1又は複数のクロックを生成するクロックリカバリ回路、あるいは基準信号を入力し、基準信号に対して任意の位相関係の1又は複数の信号を生成する信号生成回路等に用いて好適とされる。以上本発明を上記実施例に即して説明したが、本発明は、上記実施例の構成に限定されるものでなく、特許請求の範囲の各請求項の発明の範囲で、当業者であれば成し得るであろう各種変形、修正を含むことは勿論である。

【0079】

【発明の効果】以上説明したように、本発明によれば、入力クロックから多相クロック発生回路又は位相差発生回路で所望の位相差の信号を生成し、該信号と可変遅延回路の出力との位相差が零となるようにフィードバック制御する構成としたことにより、入力クロックに対して所望の位相差の出力信号を精度よく生成することができる、という効果を奏する。また本発明によれば、多相クロック発生回路において入力クロックを分周した信号からタイミング差分割回路によって多相クロックを生成するか、位相差発生回路において入力クロックを分周した信号に基づきインターポレータを用いて所望の位相差を信号を生成しており、DLL回路、又はPLLのVCO等から多相クロックを取り出す従来の構成と較べて、精度よく所望の位相差を取り出すことができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の構成を示す図である。

【図2】本発明の第1の実施例の変形例の構成を示す図

である。

【図3】本発明の第1の実施例の多相クロック発生回路の構成を示す図である。

【図4】本発明の第1の実施例における多相クロック発生回路を構成する4相クロック逓倍回路の構成を示す図である。

【図5】本発明の第1の実施例における4相クロック逓倍回路のタイミング動作を示す図である。

【図6】本発明の第1の実施例における4相クロック逓倍回路のインターポレータの動作を説明する図である。

【図7】本発明の第1の実施例における4相クロック逓倍回路のインターポレータの構成の一例を示す図である。

【図8】本発明の第2の実施例の構成を示す図である。

【図9】本発明の第2の実施例の変形例の構成を示す図である。

【図10】本発明の第2の実施例における位相差発生回路の構成を示す図である。

【図11】本発明の第2の実施例における位相差発生回路の動作を示すタイミング図である。

【図12】本発明の第3の実施例の構成を示す図である。

【図13】本発明の第3の実施例の変形例の構成を示す図である。

【図14】本発明の第3の実施例における位相差発生回路の構成を示す図である。

【図15】本発明の第3の実施例における位相差発生回路の動作を示すタイミング図である。

【図16】本発明の第2、3の実施例における位相差発生回路のインターポレータの構成を示す図である。

【図17】本発明の実施例で用いられる可変遅延回路の構成の二つの例を示す図である。

【図18】従来のDLLを用いたクロック制御回路の構成を示す図である。

【図19】従来のPLLを用いたクロック制御回路の構成を示す図である。

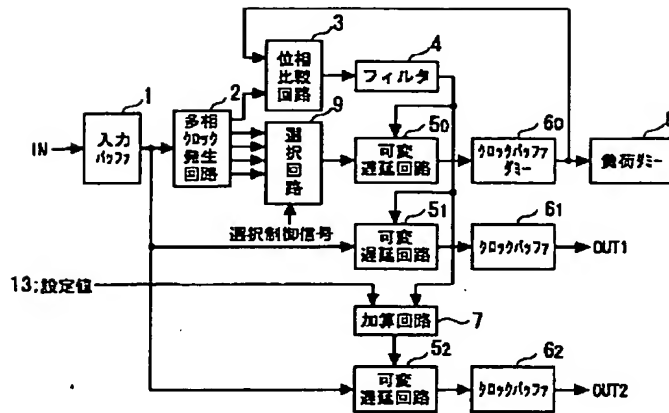
【符号の説明】

- 1 入力バッファ
- 2 多相クロック発生回路
- 3 位相比較回路
- 4 フィルタ
- 50、51、51B、52、52B 可変遅延回路
- 60 クロックバッファダミー
- 61、61B、62、62B クロックバッファ
- 7 加算回路
- 8 負荷ダミー
- 9 選択回路
- 10、10A 位相差生成回路
- 13 設定値
- 14 位相決定信号

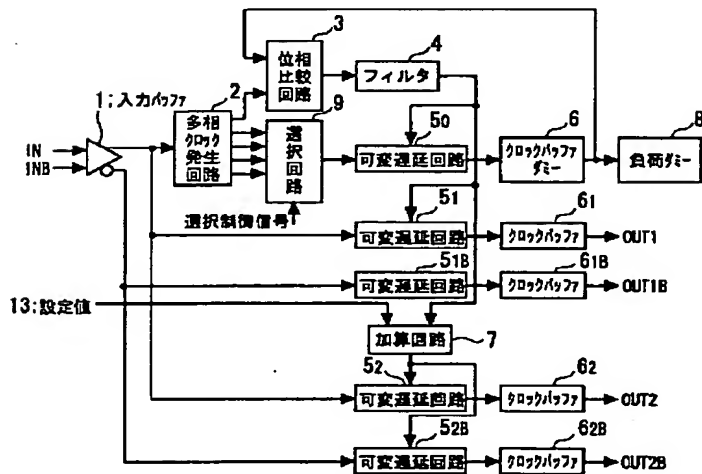
17 セレクタ
101 分周回路

1021~1024 D型フリップフロップ
1031、1032 インターポレータ

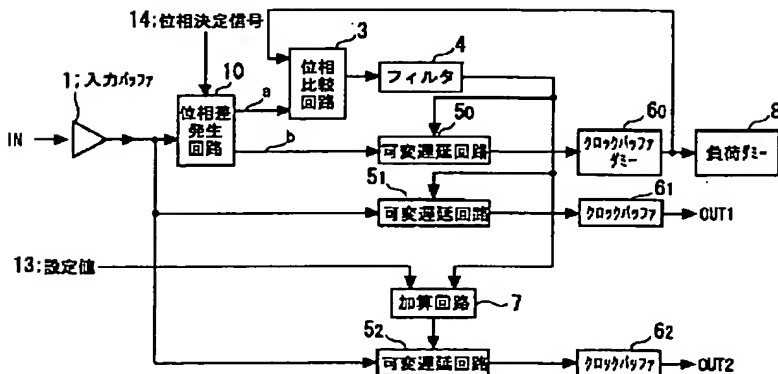
【図1】



【図2】

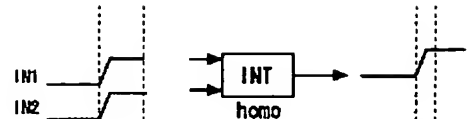


【図9】

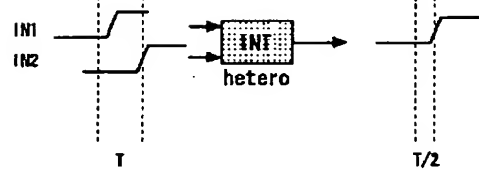


【図6】

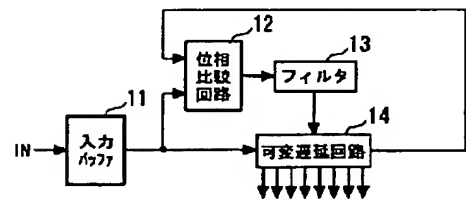
(a)



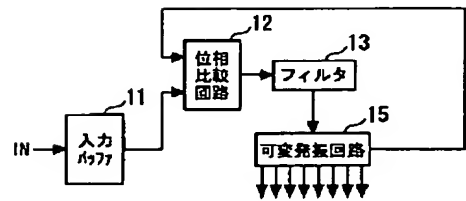
(b)



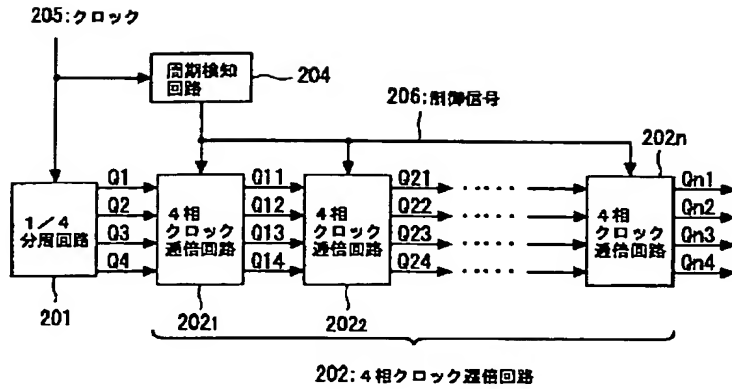
【図18】



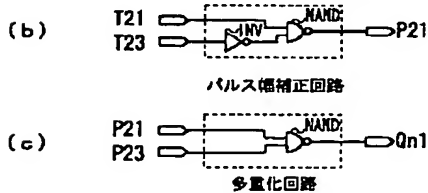
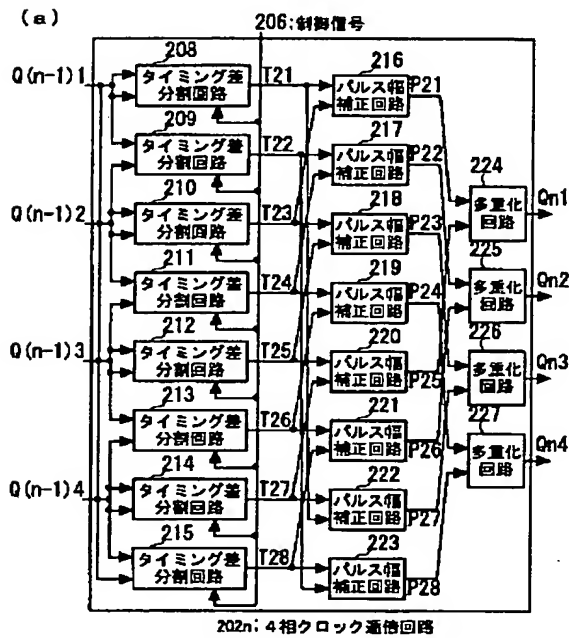
【図19】



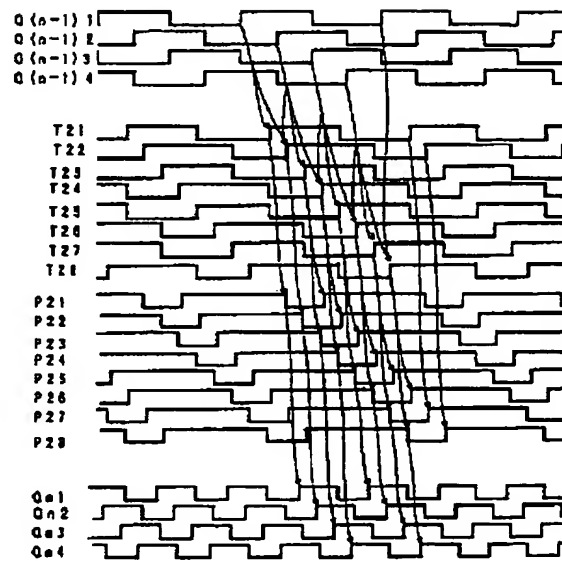
【図3】



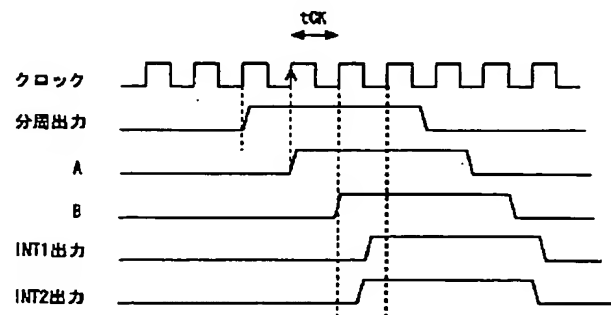
【図4】



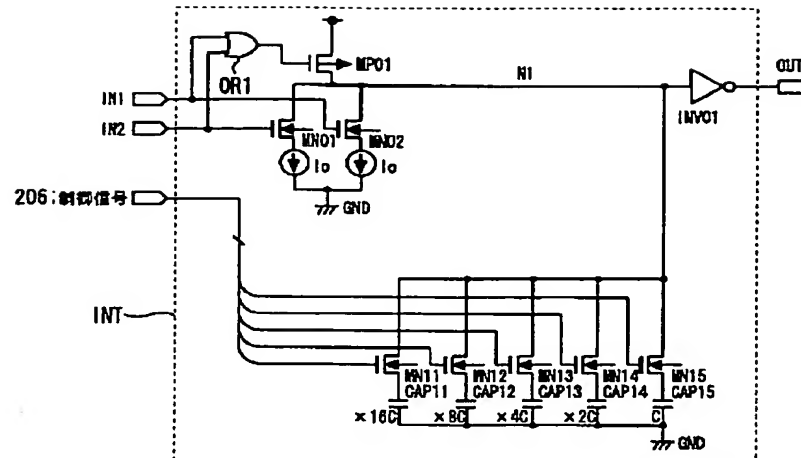
【図5】



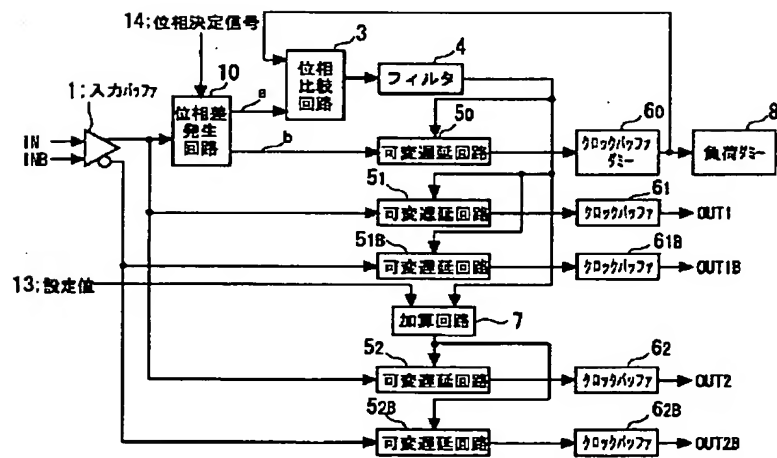
【図11】



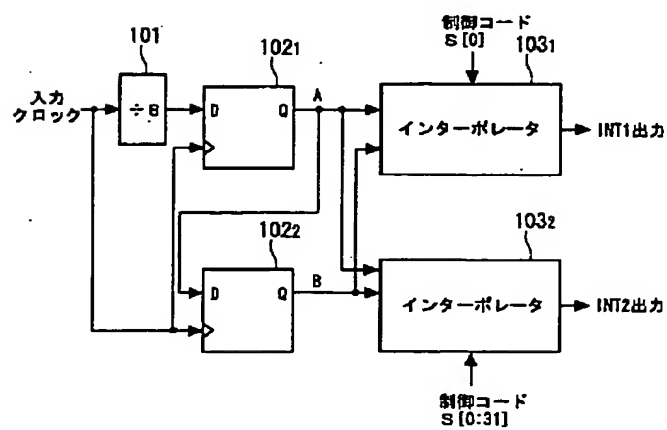
【図7】



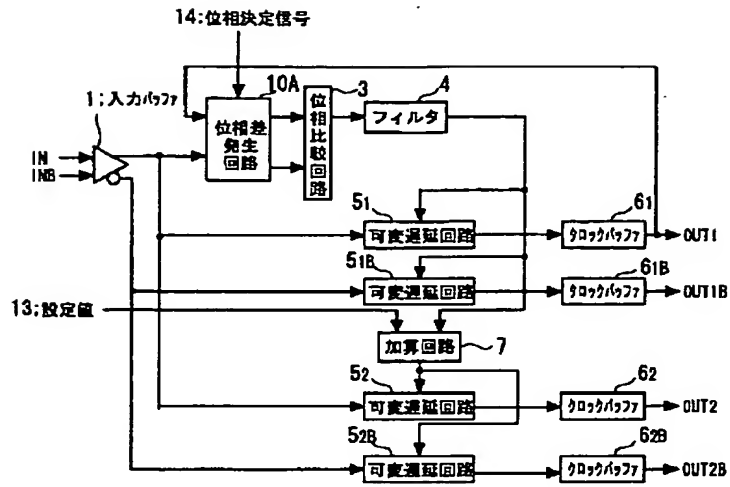
【図8】



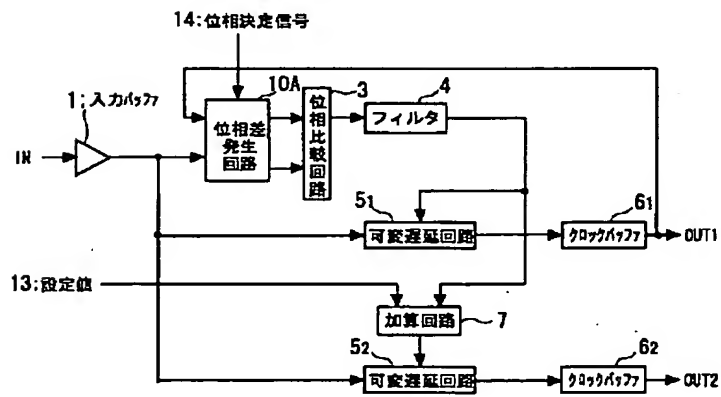
【図 10】



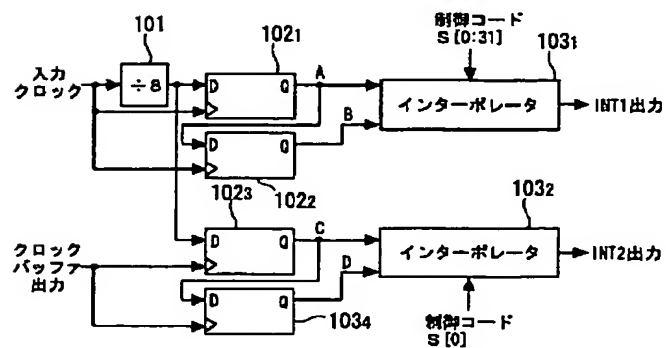
【図12】



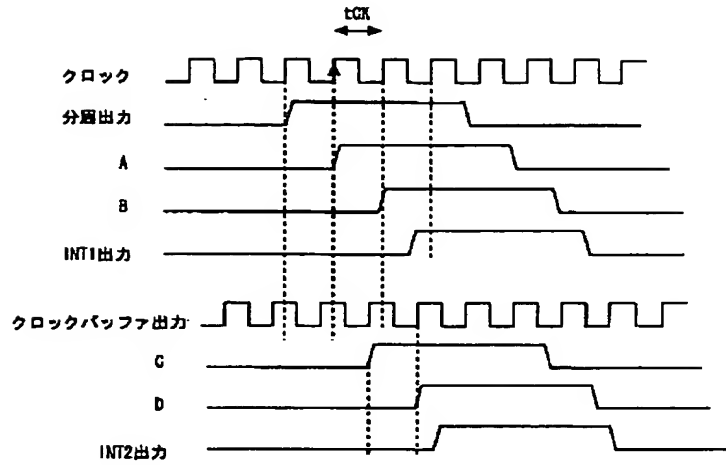
【図13】



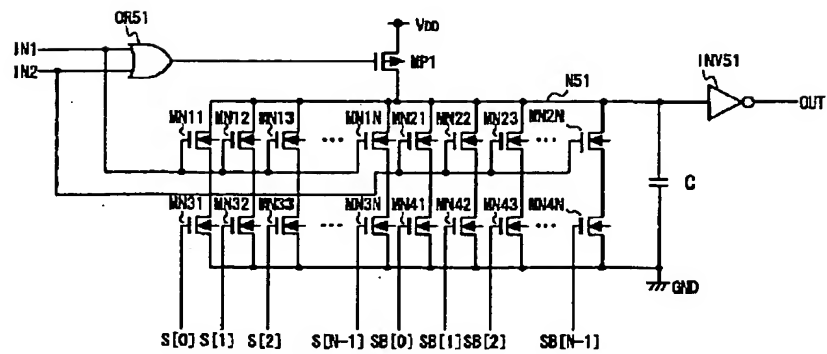
【図14】



【図15】

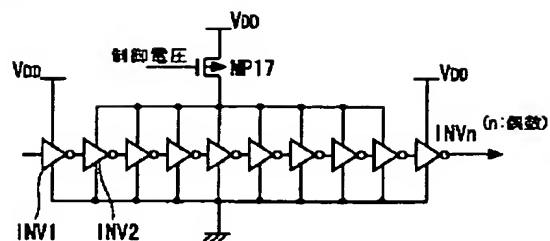


【図16】

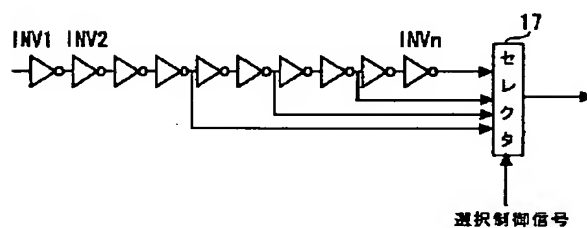


【図 17】

(a)



(b)



フロントページの続き

(51)Int.Cl.7

H03L 7/00
7/081

識別記号

F I

H03K 5/15
H03L 7/08

テーマコード(参考)

P
J

Fターム(参考) 5B079 CC02 CC08 CC16 DD02 DD03
DD04 DD06
5J001 AA04 BB00 BB05 BB12 BB14
BB24 DD01 DD04 DD05 DD06
DD09
5J039 AC10 EE13 KK09 KK10 KK13
KK20 KK27 KK33 MM10
5J106 AA03 CC03 CC24 CC38 CC59
DD09 DD13 DD24 FF01 HH02
KK25

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-163034

(43)Date of publication of application : 07.06.2002

(51)Int.Cl.

G06F 1/06
G06F 1/10
H03K 5/00
H03K 5/13
H03K 5/15
H03L 7/00
H03L 7/081

(21)Application number : 2000-363728

(71)Applicant : NEC CORP

(22)Date of filing : 29.11.2000

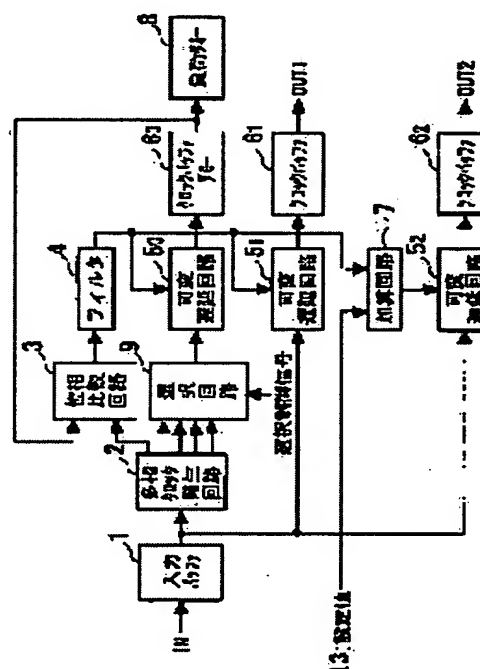
(72)Inventor : SAEKI TAKANORI

(54) CIRCUIT AND METHOD FOR CONTROLLING CLOCK

(57)Abstract:

PROBLEM TO BE SOLVED: To allow setting to a correct phase, without being affected by a loop jitter by feedback constitution.

SOLUTION: This circuit is provided with a multi-phase clock generating circuit 2 for inputting an output of an input buffer 1 to generate a multi-phase clock, a selection circuit 9 for selecting one out of inputs using multi-phase clock outputs from the clock generating circuit as the inputs, a variable delay circuit 50 for delaying an output of the selection circuit, a clock buffer dummy 60 for inputting an output of the first variable delay circuit, a phase comparison circuit 3 for detecting a phase difference between the output from the clock generating circuit 2 and the output from the clock buffer dummy, and a filter 4 for smoothing an output of the phase comparison circuit. The variable delay circuit 50 is provided with a variable delay circuit 51 in which a delay time is varied by a filter output and in which the delay time is varied by the filter output using the output of the input buffer 1 as an input, an addition circuit 7 for summing up the filter output and an input set value 13, a variable delay circuit 52 in which a delay time is varied by an output of the addition circuit 7 using the output of the input buffer 1 as an input, and clock buffers 61, 62 for inputting outputs of the variable delay circuits 51, 52, respectively.



LEGAL STATUS

[Date of request for examination] 22.10.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3450293

[Date of registration] 11.07.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The polyphase clock generation circuit which carries out the generation output of two or more clocks (it is called a "polyphase clock") with which phases differ mutually from an input clock, The selection circuitry which carries out the selection output of one of *Perilla frutescens* (L.) Britton var. *crispa* (Thunb.) Decne. for the polyphase clock outputted from said polyphase clock generation circuit to an input, To the extent that the output with which the output of said selection circuitry was delayed in the 1st adjustable delay circuit, and one phase contrast of the polyphase clock outputted from said polyphase clock generation circuit are detected and outputted A phase comparator circuit, The filter with which at least the above graduates the phase contrast detecting signal outputted from a phase comparator circuit, As for a preparation and said 1st adjustable delay circuit, adjustable [of the time delay] is carried out by the output of said filter. The clock control circuit characterized by what a time delay is further equipped with the 2nd adjustable delay circuit by which adjustable is carried out with the output of said filter, and the signal which delayed said input clock in said 2nd adjustable delay circuit is outputted for as an output clock.

[Claim 2] The input buffer which receives the inputted clock, and the polyphase clock generation circuit which generates two or more clocks (it is called a "polyphase clock") with which the output of said input buffer is inputted and phases differ mutually, If the selection output of one of *Perilla frutescens* (L.) Britton var. *crispa* (Thunb.) Decne. is carried out to an input, the polyphase clock outputted from said polyphase clock generation circuit The 1st clock buffer which considers the output of the 1st adjustable delay circuit which delays the output of said selection circuitry, and said 1st adjustable delay circuit as an input (it is called a "clock buffer dummy"), To the extent that the phase contrast of one of the polyphase clocks outputted and the output of said clock buffer dummy is detected and outputted from said polyphase clock generation circuit A phase comparator circuit, The filter with which at least the above graduates the phase contrast detecting signal outputted from a phase comparator circuit, The 2nd adjustable delay circuit where adjustable [of the time delay] is carried out by the output of said filter, as for a preparation and said 1st adjustable delay circuit, it considers the output of said input buffer as an input with it, and adjustable [of the time delay] is carried out by the output of said filter, The clock control circuit characterized by what it has for the 2nd clock buffer which inputs the output of said 2nd adjustable delay circuit, and outputs an output clock.

[Claim 3] The input buffer which receives the inputted clock, and the polyphase clock generation circuit which generates two or more clocks (it is called a "polyphase clock") with which the output of said input buffer is inputted and phases differ mutually, The selection circuitry which chooses one of *Perilla frutescens* (L.) Britton var. *crispa* (Thunb.) Decne. for the polyphase clock output from said polyphase clock generation circuit as an input, The 1st clock buffer which considers the output of the 1st adjustable delay circuit which delays the output of said selection circuitry, and said 1st adjustable delay circuit as an input (it is called a "clock buffer dummy"), To the extent that the phase contrast of the output of 1 from said polyphase clock generation circuit and the output of said clock buffer dummy is detected and outputted A phase comparator circuit, It has the filter with which at least the above graduates the phase contrast detecting signal outputted from a phase comparator circuit, Said 1st adjustable delay circuit The 2nd adjustable delay circuit where adjustable [of the time delay] is carried out by the output of said filter, the output of said input buffer is considered as an input, and adjustable [of the time delay] is carried out by the output of said filter, The adder circuit adding the set point inputted as the output of said filter, The 3rd adjustable delay circuit where the output of said input buffer is considered as an input, and adjustable [of the time delay] is carried out by the output of said adder circuit, The clock control circuit characterized by what it has the said 2nd, 2nd [which consider the output of the 3rd adjustable delay circuit as an input respectively, and output an output clock, respectively], and 3rd clock buffer for.

[Claim 4] From said input buffer, it is the clock control circuit according to claim 2 characterized by what the clock pair of the complementation was outputted mutually and it has said 2nd adjustable delay circuit and the group of said 2nd clock buffer for to each clock of a clock pair of said complementation.

[Claim 5] From said input buffer, it is the clock control circuit according to claim 3 characterized by what the clock pair of the complementation was outputted mutually and it has said 2nd adjustable delay circuit, the group of said 2nd clock buffer, and said 3rd adjustable delay circuit and the group of said 3rd clock buffer for to each clock of a clock pair of the complementation.

[Claim 6] The frequency divider where said polyphase clock generation circuit carries out the generation output of the clock of two or more phases with which dividing of the input clock is carried out, and phases differ mutually, The polyphase clock multiplying circuit which generates the clock which considered the clock of two or more phases (n phase) outputted from the periodic detecting circuit which detects the period of said input clock, and said frequency divider as the input, and carried out multiplying of said clock and by which stage cascade connection was carried out, A preparation and said polyphase clock multiplying circuit input the clock (the 1st thru/or the n-th clock) of n phase. 2n timing which outputs the signal which divided the timing difference of two inputs -- difference -- a rate circuit -- having -- the odd-numbered (2I-1 position, however $1 \leq I \leq n$) timing -- difference -- a rate circuit as said two inputs -- the inside of the clock of n phase -- the Ith same clock -- an input -- carrying out -- the even-numbered (2I position, however $1 \leq I \leq n$) timing -- difference -- a rate circuit They are the Ith clock and the I+1st clocks (however, the n+1st) among the clocks of n phase. The clock patrolled to the 1st is considered as an input, and it has a 2n piece pulse width amendment circuit. The Jth pulse width amendment circuit (however, $1 \leq J \leq 2n$) The output of the Jth timing difference dividing network is considered as the 1st input, and it is eye watch (J+2 mod n) (however, J+2 mod n). The output of a rate circuit is considered as the 2nd input. the timing of just because it broke J+2 by n -- difference -- The nonconjunction of the reversal signal of said 1st input and said 2nd input is outputted, and it has n multiplexing circuits. The Kth multiplexing circuit (however, $1 \leq K \leq n$) The clock control circuit according to claim 1 to 3 which considers the output of the Kth pulse width amendment circuit, and the output of the pulse width amendment circuit of eye watch (K+n) as an input, and is characterized by what these nonconjunctions are outputted for.

[Claim 7] The logical circuit where said timing difference dividing network considers the signal inputted from the 1st and 2nd input

edge as an input, and outputs the predetermined logical operation result of said 1st and 2nd input signals, The 1st switching device which is connected with the 1st power source between internal nodes, and considers the output signal of said logical circuit as an input at a control terminal, The buffer circuit which reverses an output logical value when an input edge is connected to said internal node and the size relation of said internal node potential and threshold is reversed, The 2nd switching device by which is connected between said internal node and 2nd power source, and on-off control is carried out based on the value of the signal from said 1st input edge, The 3rd switching device by which is connected between said internal node and 2nd power source, and on-off control is carried out based on the signal from said 2nd input edge, The series circuit which consists of the 4th switching device and capacity between a preparation, said internal node, and said 2nd power source The clock control circuit according to claim 6 which parallel connection is mutually carried out two or more, and is characterized by what the value of the periodic-control signal supplied to the control terminal of said 4th switching device turns on and controls [off] said 4th switching device, and the capacity value of the capacity added to said internal node is decided for.

[Claim 8] The phase contrast generating circuit which outputs the signal with which predetermined delayed the input clock by phase contrast based on the given phase decision information, To the extent that the phase contrast of the output signal from the 1st adjustable delay circuit which delays the output of said phase contrast generating circuit, and the output of said phase contrast generating circuit and said 1st adjustable delay circuit is detected and outputted A phase comparator circuit, The filter with which at least the above graduates the phase contrast detecting signal outputted from a phase comparator circuit, As for a preparation and said 1st adjustable delay circuit, adjustable [of the time delay] is carried out by the output of said filter. The clock control circuit where a time delay is characterized by what it has further the 2nd adjustable delay circuit by which adjustable is carried out, and the signal which delayed said input clock in said 2nd adjustable delay circuit is outputted for as an output clock with the output of said filter.

[Claim 9] While inputting the output of the input buffer which receives the inputted clock, and said input buffer The phase contrast generating circuit which outputs the signal with which phase decision information was inputted and predetermined delayed the output of said input buffer by phase contrast based on said phase decision information, The 1st clock buffer which considers the output of the 1st adjustable delay circuit which delays the output of said phase contrast generating circuit, and said 1st adjustable delay circuit as an input, and drives a dummy load (it is called a "clock buffer dummy"), To the extent that the phase contrast of the output of said phase contrast generating circuit and the output of said clock buffer dummy is detected and outputted A phase comparator circuit, It has the filter with which at least the above graduates the phase contrast detecting signal outputted from a phase comparator circuit. Said 1st adjustable delay circuit The 2nd adjustable delay circuit where adjustable [of the time delay] is carried out with the output of said filter, the output of said input buffer is considered as an input, and adjustable [of the time delay] is carried out by the output of said filter, The clock control circuit characterized by what it has for the 2nd clock buffer which inputs the output of said 2nd adjustable delay circuit, and outputs an output clock.

[Claim 10] While inputting the output of the input buffer which receives the inputted clock, and said input buffer The phase contrast generating circuit which outputs the signal with which phase decision information was inputted and predetermined delayed the output of said input buffer by phase contrast based on said phase decision information, The 1st clock buffer which drives a dummy load for the output of the 1st adjustable delay circuit which delays the output of said phase contrast generating circuit, and said 1st adjustable delay circuit (it is called a "clock buffer dummy"), To the extent that the phase contrast of the output of said phase contrast generating circuit and the output of said clock buffer dummy is detected and outputted A phase comparator circuit, It has the filter with which at least the above graduates the phase contrast detecting signal outputted from a phase comparator circuit. Said 1st adjustable delay circuit The 2nd adjustable delay circuit where adjustable [of the time delay] is carried out by the output of said filter, the output of said input buffer is considered as an input, and adjustable [of the time delay] is carried out by the output of said filter, The adder circuit adding the set point inputted as the output of said filter, The 3rd adjustable delay circuit where the output of said input buffer is considered as an input, and adjustable [of the time delay] is carried out by the output of said adder circuit, The clock control circuit characterized by what it has the said 2nd, 2nd [which input the output of the 3rd adjustable delay circuit, respectively, and output the 1st and 2nd output clock], and 3rd clock buffer for.

[Claim 11] The frequency divider where said phase contrast generating circuit carries out dividing of the input clock, and the 1st flip-flop which carries out the sample of the output of said frequency divider by the start of said input clock, or falling transition, The 2nd flip-flop which carries out the sample of the output of said 1st flip-flop by the start of said input clock, or falling transition, The 1st INTAPORETA which outputs the output signal of the time delay specified by the time amount which considered the output of said 1st and 2nd flip-flop as the input, and divided the timing difference of two outputs by the 1st internal ratio, The 2nd INTAPORETA which outputs the output signal of the time delay specified by the time amount which considered the output of said 1st and 2nd flip-flop as the input, and divided the timing difference of two outputs by the 2nd internal ratio, Preparation ***** , the clock control circuit according to claim 8 to 10 characterized by things.

[Claim 12] The output of the input buffer which receives the inputted clock, and said input buffer is inputted from the input edge of 1. The phase contrast generating circuit which outputs two output signals which have the phase contrast specified by the phase decision information which inputs the output clock of 1 from other input edges, and is inputted as a control signal from the output of said input buffer, and said output clock, To the extent that the phase contrast of two outputs of said phase contrast generating circuit is detected and outputted A phase comparator circuit, The filter with which at least the above graduates the phase contrast detecting signal outputted from a phase comparator circuit, The 1st clock buffer which inputs the output of the 1st adjustable delay circuit which delays the output of said input buffer, and said 1st adjustable delay circuit, and outputs an output clock, the output clock of a preparation and said 1st clock buffer -- said phase contrast generating circuit -- said -- others -- the clock control circuit where it is supplied and, as for said 1st adjustable delay circuit, a time delay is characterized by what is done for adjustable with the output of said filter as said output clock inputted into an input edge.

[Claim 13] From said input buffer, it is the clock control circuit according to claim 12 characterized by what the clock pair of the complementation was outputted mutually and it has said 1st adjustable delay circuit and the group of said 1st clock buffer for to each clock of a clock pair of the complementation.

[Claim 14] The phase contrast generating circuit which outputs the 1st and 2nd output signal which has the phase contrast specified by the phase decision information which inputted the input clock and the output clock and was inputted based on said input clock and said output clock, The 1st adjustable delay circuit which delays the 2nd output signal of said phase contrast generating circuit, To the extent that the phase contrast of said 1st and 2nd output signal outputted is detected and outputted from said phase contrast generating circuit A phase comparator circuit, The filter with which at least the above graduates the phase contrast detecting signal outputted from a phase comparator circuit, As for a preparation and said 1st adjustable delay circuit, adjustable [of the time delay] is carried out by the output of said filter. A time delay is equipped with the 2nd adjustable delay circuit by which adjustable is carried out with the output of said filter. The clock control circuit characterized by what the signal which delayed said input clock in the said 1st and 2nd adjustable delay circuit, respectively is outputted as 1st and 2nd output clock, and said 1st output clock is inputted for as said output clock to said

phase contrast generating circuit.

[Claim 15] The input clock from the input buffer which receives the inputted clock, and said input buffer is inputted from the input edge of 1. Input the output clock of 1 from other input edges, and it is based on the phase decision information inputted. The phase contrast generating circuit which is the signal which delayed said input clock and said output clock with the internal ratio to which it is specified by said phase decision information, and outputs the 1st and 2nd output signal with which phase contrast is specified by said phase decision information, To the extent that the phase contrast of said 1st and 2nd output signal outputted is detected and outputted from said phase contrast generating circuit A phase comparator circuit, The filter with which at least the above graduates the phase contrast detecting signal outputted from a phase comparator circuit, The 1st adjustable delay circuit which adjustable [of the time delay] is carried out [1st] based on the output of said filter, and delays the output of said input buffer, The 1st clock buffer which inputs the output of said 1st adjustable delay circuit, and outputs the 1st output clock, A preparation and said 1st output clock are inputted into said phase contrast generating circuit as said output clock of 1. The output of said filter, The adder circuit adding the inputted set point, and the 2nd adjustable delay circuit where the output of said input buffer is considered as an input, and adjustable [of the time delay] is carried out by the output of said adder circuit, The clock control circuit characterized by what it has for the 2nd clock buffer which inputs the output of said 2nd adjustable delay circuit, and outputs the 2nd output clock.

[Claim 16] From said input buffer, it is the clock control circuit according to claim 14 or 15 characterized by what the clock pair of the complementation was outputted mutually and it has said 1st adjustable delay circuit, the group of said 1st clock buffer, and said 2nd adjustable delay circuit and the group of said 2nd clock buffer for to each clock of a clock pair of the complementation.

[Claim 17] The frequency divider where said phase contrast generating circuit carries out dividing of said input clock, and the 1st flip-flop which carries out the sample of the clock by which dividing was carried out in said frequency divider by the start of said input clock, or falling transition, The 2nd flip-flop which carries out the sample of the output of said 1st flip-flop by the start of said input clock, or falling transition, The 1st INTAPORETA which outputs the output signal of the time delay specified by the time amount which considered the output of said 1st and 2nd flip-flop as the input, and divided the timing difference of two outputs by the 1st internal ratio based on phase decision information, The 3rd flip-flop which carries out a sample by the start of said output clock into which the clock by which dividing was carried out in said frequency divider is inputted, or falling transition, The 4th flip-flop which carries out the sample of the output of said 3rd flip-flop by the start of said output clock, or falling transition, The 2nd INTAPORETA which outputs the output signal of the time delay specified by the time amount which considered the output of said 3rd and 4th flip-flop as the input, and divided the timing difference of two outputs by the 2nd internal ratio based on said phase decision information, Preparation *****, the clock control circuit according to claim 12 to 15 characterized by things.

[Claim 18] The logical circuit where said each INTAPORETA considers the 1st and 2nd input signal from the 1st input edge and the 2nd input edge as an input, The switch is inserted between the 1st power source and an internal node, and switch on when the output of said logical circuit is the 1st value, Said capacity connected with an internal node between the 2nd power source, and the inverter by which said internal node was connected to the input edge, The 2nd switch of N individual with which an end is connected to a preparation and said internal node, and the 1st input signal from said 1st input edge is supplied to a control terminal and which was connected to each-other juxtaposition, The 3rd switch of N individual with which an end is connected to said internal node, and the 2nd input signal from said 2nd input edge is supplied to a control terminal and which was connected to each-other juxtaposition, The 4th switch of N individual which it is inserted between the other end of said 2nd switch, and the 2nd power source, and the control signal which makes phase decision information is connected to a control terminal, and is turned on and turned off, The clock control circuit according to claim 11 or 17 characterized by what it was inserted between the other end of said 3rd switch, and said 2nd power source, the control signal which makes phase decision information was connected to the control terminal, and it has the 5th switch of N individual turned on and turned off for.

[Claim 19] In the polyphase clock generation circuit which received the input clock from an input buffer, from said input clock Two or more clocks (it is called a "polyphase clock") with which phases differ mutually are generated. In a selection circuitry, one of *Perilla frutescens* (L.) Britton var. *crispa* (Thunb.) Decne. is chosen for the polyphase clock output from said polyphase clock generation circuit as an input. The output of the clock buffer (it is called a "clock buffer dummy") which said selected clock is delayed in the 1st adjustable delay circuit, and undergoes the output of said 1st adjustable delay circuit, At least the phase contrast of the output of 1 from said polyphase clock generation circuit and two outputs of ** is detected in a phase comparator circuit. Based on the signal to which at least the above graduated the phase comparison result with the filter, it carries out adjustable [of the time delay of said 1st adjustable delay circuit]. The clock control approach which considers the output of said input buffer as an input, and is characterized by what the output clock which has a desired phase relation to said input clock is outputted for from the clock buffer which undergoes the output of the 2nd adjustable delay circuit to which adjustable [of the time delay] is carried out with the output of said filter.

[Claim 20] The output of the input buffer which receives the inputted clock is inputted into a phase contrast generating circuit. In said phase contrast generating circuit The output of the clock buffer dummy which considers the output of the 1st adjustable delay circuit which the signal with which predetermined delayed the output of said input buffer by phase contrast is generated [1st] based on the given phase decision information, and delays the output of said phase contrast generating circuit as an input, At least the output and phase contrast of said phase contrast generating circuit are detected in a phase comparator circuit, and at least the above graduates a phase comparison result with a filter. Said 1st adjustable delay circuit The clock control approach characterized by what an output clock is outputted for from the clock buffer which considers the output of the 2nd adjustable delay circuit where adjustable [of the time delay] is carried out with the output of said filter, the output of said input buffer is considered as an input, and adjustable [of the time delay] is carried out with the output of said filter as an input.

[Claim 21] The output of the input buffer which receives the inputted clock is inputted from the input edge of 1 of a phase contrast generating circuit. The output signal of 1 is inputted from an input edge besides said phase contrast generating circuit. In said phase contrast generating circuit Based on the phase decision information inputted, two signals which have desired phase contrast from the output and said output signal of said input buffer are outputted. At least the phase contrast of two outputs of said phase contrast generating circuit is detected in a phase comparator circuit. At least the above graduates a phase comparison result with a filter, and an output signal is outputted from the 1st clock buffer which receives the 1st adjustable delay circuit which delays the output of said input buffer. the output signal of said 1st clock buffer -- said phase contrast generating circuit -- said -- others -- the clock control approach that an input edge is supplied and a time delay is characterized by what is done for adjustable with the output of said filter, as for said 1st adjustable delay circuit.

[Claim 22] The clock control approach according to claim 19 to 21 characterized by what the addition information inputted as the output of said filter is added in an adder circuit, adjustable [of the time delay] is carried out by the signal from an adder circuit, the adjustable delay circuit which the output from said input buffer is delayed and is outputted is prepared further, and the output of said adjustable delay circuit is outputted for through a clock buffer.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to a clock control circuit and the clock control approach.

[0002]

[Description of the Prior Art] As a circuit which generates the signal of a predetermined phase to an input signal, the configuration using DLL (Delay Locked Loop; delay synchronous loop formation) as shown in drawing 18 is known. About the configuration shown in drawing 18, reference 1 (ISSCC 1997 p.p 332-333 S.Sidiropoulos and Mark Horowitz et al., "A semi-digital delay locked loop with unlimited phase shift capability and 0.08-400MHz operating range") is referred to, for example.

[0003] if drawing 18 is referred to, to the extent that this DLL will detect the phase contrast of the output of an input buffer 11, the adjustable delay circuit (Voltage Controlled Delay Line) 14 of an armature-voltage control mold, and the adjustable delay circuit 14, and the output of an input buffer 11 -- the phase comparator circuit 12 -- about -- it has the filter 13 which graduates the phase contrast detecting signal from the phase comparator circuit 12. An adjustable delay circuit consists of a buffer connected to two or more steps concatenation gestalten. The phase comparator circuit 12 consists of for example, D mold flip flips. The output of the phase comparator circuit 12 The electrical potential difference with which the filter 13 (the charge pump and RC filter from which at least a filter 13 changes the output of the phase comparator circuit 12 into an electrical potential difference are included) was integrated Feedback control is carried out like (that is, phase contrast serves as zero). the adjustable delay circuit 14 is supplied, a time delay is set as adjustable, and the phase of the output of an input buffer 11 and the output of the adjustable delay circuit 14 is in agreement -- The output clock of phase contrast at equal intervals is outputted from two or more buffers of the adjustable delay circuit 14.

[0004] Moreover, drawing 19 replaces the adjustable delay circuit 14 in drawing 18 in the adjustable oscillator circuits 15, such as VCO (voltage controlled oscillator), and outputs a polyphase clock (multiphase clock). In addition, about the configuration shown in drawing 19, reference 2 (ISSC 1993p.p 160-161 Mark Horowitz et al., "PLL Design for 500MHz Interface") etc. is referred to. Drawing 19 shows typically a part of main loop of the PLL circuit of the above-mentioned reference 2. Two or more clock output (for example, clock output of plurality [phase contrast] at equal intervals) is outputted, the adjustable oscillator circuits 15, such as VCO (voltage controlled oscillator), are supplied to the fine loop formation (un-illustrating) of transmission and reception, and fine adjustment of the phase of an internal clock is performed.

[0005] However, it was difficult for the configuration shown in drawing 18, drawing 19, etc. to have the loop formation of feedback systems, such as DLL and a PLL configuration, and for the jitter resulting from the loop formation of a feedback system to exist, and to generate the signal of a desired phase correctly. This invention is originated in view of this trouble.

[0006]

[Problem(s) to be Solved by the Invention] Therefore, the technical problem which this invention tends to solve is offering the clock control circuit and approach of generating the output clock of desired phase contrast with a sufficient precision to an input clock.

[0007]

[Means for Solving the Problem] This invention which offers above-mentioned The means for solving a technical problem The polyphase clock generation circuit which carries out the generation output of two or more clocks (it is called a "polyphase clock") with which phases differ mutually from an input clock. The selection circuitry which carries out the selection output of one of *Perilla frutescens* (L.) Britton var. *crispa* (Thunb.) Decne. for the polyphase clock outputted from said polyphase clock generation circuit to an input, To the extent that the output with which the output of said selection circuitry was delayed in the 1st adjustable delay circuit, and one phase contrast of the polyphase clock outputted from said polyphase clock generation circuit are detected and outputted A phase comparator circuit, The filter with which at least the above graduates the phase contrast detecting signal outputted from a phase comparator circuit, A preparation and said 1st adjustable delay circuit are equipped with the 2nd adjustable delay circuit where adjustable [of the time delay] is carried out by the output of said filter, and adjustable [of the time delay] is carried out by the output of said filter, and the signal which delayed said input clock in said 2nd adjustable delay circuit is outputted as an output clock.

[0008] The phase contrast generating circuit which outputs the signal with which predetermined delayed the input clock by phase contrast based on the phase decision information to which this invention was given, To the extent that the phase contrast of the output signal from the 1st adjustable delay circuit which delays the output of said phase contrast generating circuit, and the output of said phase contrast generating circuit and said 1st adjustable delay circuit is detected A phase comparator circuit, The filter with which at least the above graduates the phase contrast detecting signal outputted from a phase comparator circuit, Adjustable [of the time delay] is carried out by the output of said filter, and a preparation and said 1st adjustable delay circuit are equipped with the 2nd adjustable delay circuit where adjustable [of the time delay] is carried out with the output of said filter, and output the signal which delayed said input clock in said 2nd adjustable delay circuit as an output clock.

[0009] The phase contrast generating circuit which outputs the 1st and 2nd output signal which has the phase contrast specified by the phase decision information which this invention inputted the input clock and the output clock, and was inputted based on said input clock and said output clock, The 1st adjustable delay circuit which delays the 2nd output signal of said phase contrast generating circuit, To the extent that the phase contrast of said 1st and 2nd output signal outputted is detected and outputted from said phase contrast generating circuit A phase comparator circuit, The filter with which at least the above graduates the phase contrast detecting signal outputted from a phase comparator circuit, As for a preparation and said 1st adjustable delay circuit, adjustable [of the time delay] is carried out by the output of said filter. A time delay is equipped with the 2nd adjustable delay circuit by which adjustable is carried out with the output of said filter. The signal which delayed said input clock in the said 1st and 2nd adjustable delay circuit, respectively is outputted as 1st and 2nd output clock, and said 1st output clock is inputted as said output clock to said phase contrast generating circuit.

[0010] said technical problem is clarified also from explanation of the gestalt of the following operations, and an example – as – this application – invention of each claim of a claim is solved similarly.

[0011]

[Embodiment of the Invention] The gestalt of operation of this invention is explained. The clock control circuit of this invention is set in the gestalt of the 1 desirable operation. The polyphase clock generation circuit which will generate the clock (it is called a "polyphase clock") with which phases differ more nearly mutually than the clock from an input buffer (1) if drawing 1 is referred to (2). The selection circuitry which chooses one corresponding to [as an input] desired phase contrast for the polyphase clock output from a polyphase clock generation circuit of *Perilla frutescens* (L.) Britton var. *crispa* (Thunb.) Decne. (9). The clock buffer dummy which considers the output of the adjustable delay circuit (50) which delays the output of a selection circuitry, and an adjustable delay circuit (50) as an input, and drives a dummy load (8) (60). To the extent that the phase contrast of the output of 1 from a polyphase clock generation circuit (2) and the output of a clock buffer dummy (60) is detected A phase comparator circuit (3). It has the filter (4) which graduates the phase contrast detecting signal outputted from the phase comparator circuit (3). An adjustable delay circuit (50) It has the clock buffer (61) which inputs the output of the adjustable delay circuit (51) where adjustable [of the time delay] is carried out with the output of a filter (4), the output of an input buffer (1) is considered as an input, and adjustable [of the time delay] is carried out with the output of a filter (4), and an adjustable delay circuit (51), respectively.

[0012] Moreover, it has the clock buffer (62) which inputs the output of the adder circuit (7) adding the set point (13) inputted as the output (4) of a filter, the adjustable delay circuit (52) where the output of an input buffer (1) is considered as an input, and adjustable [of the time delay] is carried out with the output of an adder circuit (7), and an adjustable delay circuit (52), respectively.

[0013] about the clock of one of the polyphase clocks -- a phase comparator circuit (it inputs into 3 -- having -- this -- to the clock of 1, the clock of desired phase contrast is chosen among polyphase clocks, an adjustable delay circuit (50) is supplied, and adjustable control of the time delay of an adjustable delay circuit (50) is carried out so that the time delay of this phase contrast, and an adjustable delay circuit (50) and a clock buffer dummy (60) may become equal to the phase contrast concerned.)

[0014] The output OUT1 of a clock buffer (61) is made into the signal of the same phase as the output of a clock buffer dummy (60), and the output OUT2 of a clock buffer (62) is made into the signal of the phase contrast corresponding to the value which carried out addition subtraction with the set point (a part for 13), and adder-circuit (7) to the output of a clock buffer dummy (60).

[0015] In the gestalt of 1 operation of this invention, it has the frequency divider (201) which will carry out dividing of the input clock and will carry out the generation output of the polyphase clock if a polyphase clock generation circuit (2) refers to drawing 3, and the polyphase clock multiplying circuit (202) which generates the polyphase clock which considered the polyphase clock outputted from this frequency divider as the input, and carried out multiplying of the clock, and is constituted.

[0016] A polyphase clock multiplying circuit (202) will input the clock (the 1st thru/or the n-th clock) of n phase, if drawing 4 is referred to. 2n timing which outputs the signal which divided the timing difference of two inputs -- difference -- a rate circuit (208-215) -- having -- the odd-numbered (2i-1 position, however $1 \leq i \leq n$) timing -- difference -- a rate circuit as said two inputs the Ith same clock among n phase clocks -- an input -- carrying out -- the even-numbered (2i position, however $1 \leq i \leq n$) timing -- difference -- a rate circuit considers the Ith clock and the I+1st clocks (however, the n+1st the 1st) as an input among n phase clocks.

[0017] The outputs T21 and T23 of a rate circuit (208 210) are inputted. a pulse width amendment circuit (216) -- timing -- difference -- a pulse width amendment circuit (217) In condition of inputting the outputs T22 and T24 of a timing difference dividing network (209 211), the Jth pulse width amendment circuit (however, $1 \leq J \leq 2n$) (216-223) the Jth timing (however, $1 \leq J \leq 2n$) -- difference -- the output of a rate circuit, and the timing of eye watch ($J+2 \bmod n$) (however -- just because $J+2 \bmod n$ broke $J+2$ by n) -- difference -- the output of a rate circuit is considered as an input.

[0018] The Kth multiplexing circuit (however, $1 \leq K \leq n$) (224-227) multiplexes the output of the Kth pulse width amendment circuit, and the output of the pulse width amendment circuit of eye watch ($K+n$) as an input, and outputs them.

[0019] The phase contrast generating circuit which will output the signal with which the output of an input buffer (1) was inputted and predetermined delayed the output of said input buffer by phase contrast based on phase decision information (14) if this invention refers to drawing 9 as a gestalt of another operation (10). The adjustable delay circuit which delays the output of a phase contrast generating circuit (10) (50). The clock buffer dummy which drives the output of an adjustable delay circuit (50) (60). It has the filter (4) which graduates the output of a phase comparator circuit (3) and a phase comparator circuit (3) to the extent that the phase contrast of the output of a phase contrast generating circuit (10) and the output of a clock buffer dummy (60) is detected, and, as for an adjustable delay circuit (50), adjustable [of the time delay] is carried out with the output of a filter (4). The adjustable delay circuit where the output of an input buffer (1) is considered as an input, and adjustable [of the time delay] is carried out with the output of a filter (4) (51). The adder circuit adding the set point (13) inputted as the output of a filter (4) (7). It has the adjustable delay circuit (52) where the output of an input buffer (1) is considered as an input, and adjustable [of the time delay] is carried out with the output of an adder circuit (7), and the clock buffer (61 62) which inputs the output of an adjustable delay circuit (51 52), respectively.

[0020] The frequency divider which will carry out dividing of the input clock if a phase contrast generating circuit (10) refers to drawing 10 (101). The 1st flip-flop which carries out the sample of the output of a frequency divider (101) with the standup of an input clock, or the transition edge of falling (1021). The 2nd flip-flop which carries out the sample of the output of the 1st flip-flop with the standup of said input clock, or the transition edge of falling (1022). The 1st INTAPORETA which outputs the output signal (INT1) of the time delay specified by the time amount which considered the output of the 1st and 2nd flip-flop as the input, and divided the timing difference of two outputs by the 1st internal ratio (1031). The output of the 1st and 2nd flip-flop was considered as the input, and it has the 2nd INTAPORETA (1032) which outputs the output signal (INT2) of the time delay specified by the time amount which divided the timing difference of two outputs by the 2nd internal ratio.

[0021] the signal with which the 1st and 2nd INTAPORETA (1031 1032) divided interiorly the phase contrast (time difference) of an input signal by different internal ratio based on the phase decision information (14 of drawing 9) which was able to be given -- outputting -- about -- the signal (INT1) supplied to the phase comparator circuit 3 is set as desired phase contrast (for example, 90 degrees) to the output signal (INT2) supplied to the 1st adjustable delay circuit (50).

[0022] The input buffer which will receive the inputted clock if this invention refers to drawing 13 R> 3 in the gestalt of another operation (1). Input the input clock from an input buffer (1) from the input edge of 1, and an output clock is inputted from other input edges. The phase contrast generating circuit which outputs two output signals of the phase contrast specified by phase decision information (14) from an input clock and an output clock based on the phase decision information (14) inputted (10A). To the extent that the phase contrast of two outputs of a phase contrast generating circuit is detected A phase comparator circuit (3). The 1st adjustable delay circuit which delays the output of an input buffer with the output of the filter (4) which graduates the output of a phase comparator circuit, and a filter (4) with the time delay made adjustable (51). The 1st clock buffer which inputs the output of the 1st adjustable delay circuit and outputs the 1st output clock (61). The adder circuit adding the output and the input set point (13) of a filter (4) (7). The 2nd adjustable delay circuit where the output of an input buffer (1) is considered as an input, and adjustable [of the

time delay] is carried out with the output of an adder circuit (7) (52), It has the 2nd clock buffer (62) which inputs the output of the 2nd adjustable delay circuit (52), and outputs the 2nd output clock, and the 1st output clock outputted from the 1st clock buffer (61) is inputted into a phase contrast generating circuit (10A).

[0023] The frequency divider which will carry out dividing of the input clock if a phase contrast generating circuit (10A) refers to drawing 14 (101), The 1st flip-flop which carries out the sample of the clock by which dividing was carried out in the frequency divider (101) with an input-clock standup or the transition edge of falling (1021), The 2nd flip-flop which carries out the sample of the output of the 1st flip-flop with the standup of an input clock, or the transition edge of falling (1022), The 1st INTAPORETA which outputs the output signal of the time delay specified by the time amount which considered the output of the 1st and 2nd flip-flop as the input, and divided the timing difference of two outputs by the 1st internal ratio based on phase decision information (1031), The 3rd flip-flop which carries out the sample of the clock by which dividing was carried out in the frequency divider with the standup of an output clock (output of the 1st clock buffer), or the transition edge of falling (1023), The 4th flip-flop which carries out the sample of the output of the 3rd flip-flop with the standup of said output clock (output of the 1st clock buffer 61 of drawing 13), or the transition edge of falling (1024), The output of the 3rd and 4th flip-flop was considered as the input, and it has the 2nd INTAPORETA (1032) which outputs the output signal of the time delay specified by the time amount which divided the timing difference of two outputs by the 2nd internal ratio based on said phase decision information.

[0024] Compared with the conventional configuration (refer to [drawing 18 and] the drawing 1919) which generates a polyphase clock using VCO of a DLL circuit and PLL, this invention can cut down the jitter component resulting from a feedback loop specially, and can improve [precision / a generation output] the clock which has a desired phase relation to the clock inputted.

[0025]

[Example] The gestalt of operation of above-mentioned this invention is explained with reference to a drawing about the example of this invention that it should explain to a detail further. Drawing 1 is drawing showing the configuration of one example of this invention. The polyphase clock generation circuit 2 which generates a polyphase clock from the clock with which the input clock IN inputted from a clock terminal will be inputted into an input buffer 1, and will be outputted from an input buffer 1 if drawing 1 is referred to, The selection circuitry 9 which chooses one of *Perilla frutescens* (L.) Britton var. *crispa* (Thunb.) Decne. for the polyphase clock output from the polyphase clock generation circuit 2 as an input, The adjustable delay circuit 50 which delays the output of a selection circuitry 9, and the clock buffer dummy 60 which inputs the output of the adjustable delay circuit 50 and drives the load dummy 8, To the extent that the phase contrast of the output from the polyphase clock generation circuit 2 and the output of the clock buffer dummy 60 is detected The phase comparator circuit 3, It has the filter 4 which graduates the output of the phase comparator circuit 3. The adjustable delay circuit 50 It has the clock buffer 61 which inputs the output of the adjustable delay circuit 51 where adjustable [of the time delay] is carried out by the output of a filter 4, the output of an input buffer 1 is considered as an input, and adjustable [of the time delay] is carried out by the output of a filter 4, and the adjustable delay circuit 51, respectively.

[0026] The load dummy 8 which gives the load of the clock buffers 61 and 62 and an almost equivalent load is connected to the clock buffer dummy 60. Preferably, the clock buffer dummy 60 and the clock buffers 61 and 62 are considered as the same configuration, are made the same [current drive capacity] and output a signal by the same time delay to the same load.

[0027] It has the clock buffer 62 which inputs the output of the adder circuit 7 adding the set point (an electrical potential difference or digital code) 13 inputted as the output of a filter 4, the adjustable delay circuit 52 where the output of an input buffer 1 is considered as an input, and adjustable [of the time delay] is carried out with the output of an adder circuit 7, and the adjustable delay circuit 52, respectively.

[0028] The configuration of arbitration will be used if the phase comparator circuit 3 is a circuit which detects and outputs the phase contrast of two inputted signals. As a simple configuration It consists of D type flip-flops which carry out the sample of the data signal of a data input edge by the standup or rising edge of a sampling clock of a clocked into edge. The output of the clock buffer dummy 60 and the output from the polyphase clock generation circuit 2 are inputted into the data input edge of this flip-flop, and a clocked into edge, or the output from the polyphase clock generation circuit 2 and the output of the clock buffer dummy 60 are inputted into them contrary to this.

[0029] A filter 4 consists of a charge pump which will be considered as the configuration of arbitration if the output of the phase comparator circuit 3 is graduated, for example, performs charge and discharge of a capacitor with the output of the phase comparator circuit 3, and a low pass filter.

[0030] The adjustable delay circuits 50-52 are being inserted between the CMOS inverter train (INV1 - INVn) which inputs a signal, a CMOS inverter train, and a power source, having the transistor component MP 17 to which adjustable [of the resistance of on resistance] is carried out with the control voltage given to a gate terminal, and changing the resistance of the transistor component MP 17 with control voltage, as shown in drawing 17 (a), and are good also as a configuration to which adjustable [of the time delay of a CMOS inverter train] is carried out. In the circuit shown in drawing 17 (a), in order that the CMOS inverter of the first rank of the adjustable delay circuit 5 and the last stage may fit the amplitude, adjustable [of the electrical potential difference] is not carried out, but it is considered as the configuration to which supply voltage VDD is supplied. In addition, the transistor component which considers control voltage as a gate input may be inserted in the power-source pass of each CMOS inverter.

[0031] The adjustable delay circuits 50-52 have the good selector 17 to which the adjustable delay circuit 5 considers the output of two or more steps of inverters as an input by supposing that a filter 4 outputs the output with a digital signal (or the conversion output of the output voltage of a filter 4 is carried out with an A/D converter at a digital signal) also as a configuration which chooses the output of the inverter of the corresponding time delay by making the output signal of a filter 4 into a selection-control signal, as shown in drawing 17 (b).

[0032] Moreover, in the configuration shown in drawing 1, when an adder circuit 7 is constituted from a digital circuit, the output and the set point 13 of a filter 4 are made into a digital signal, and when an adder circuit 7 is constituted from an analog circuit (electrical-potential-difference adder), the set point 13 is given on an electrical potential difference.

[0033] At least the signal of 1 of the polyphase clock (clock which changes by the phase contrast of spacing, such as having carried out the division-into-equal-parts rate of the clock period tCK of an input clock) outputted from the polyphase clock generation circuit 2 is inputted into the phase comparator circuit 3. a selection circuitry 2 -- this -- adjustable control of the time delay of the adjustable delay circuit 50 is carried out so that the signal of a predetermined phase may be chosen to the signal of 1 and the time delay of the adjustable delay circuit 50 and the clock buffer dummy 60 may become equal to the phase contrast concerned. In addition, the configuration of the polyphase clock generation circuit 2 is explained in full detail behind.

[0034] The output OUT1 of the clock buffer 61 is made into the signal of the same phase as the output of the clock buffer dummy 60, and the output OUT2 of the clock buffer 62 is made into the signal of the phase corresponding to the value which added the set point 13 to the phase of the output of the clock buffer dummy 60 (it subtracts when the set point 13 is a negative value).

[0035] Actuation of the 1st example of this invention shown in drawing 1 is explained. In the phase comparator circuit 3 the inside of

the polyphase clock with which a selection circuitry 9 is outputted from the polyphase clock generation circuit 2 – about – the clock supplied to the phase comparator circuit 3 – receiving – a clock (clock of the i-th phase) phase-related [predetermined] – choosing – about – It is controlled so that the adjustable delay circuit 50, the time delay of the clock buffer dummy 60, and this phase contrast become equal. From an output OUT1 The 1st clock signal of desired phase contrast is outputted to an input clock, and the 2nd clock signal of desired phase contrast is further outputted from an output OUT2 to the 1st clock signal outputted from an output OUT1. It is arbitration to choose by the selection-control signal by which may choose the selection in a selection circuitry 9 by the selection-control signal from non-illustrated CPU, and an external input is carried out etc. for example, the inside of a polyphase clock – about – the case where a phase is overdue 90 degrees to the clock with which the selection output of the clock supplied to the phase comparator circuit 3 is carried out by the selection circuitry 9 – the output of the clock buffer dummy 60 – about – feedback control is carried out so that a phase with the clock supplied to the phase comparator circuit 3 may become equal.

[0036] Drawing 2 is drawing showing the configuration of the modification of the 1st example of this invention. In the example shown in drawing 2, a clock is inputted into an input buffer 1 by the complementation (pair of an inphase and an opposition signal). It is outputted as a complementary signal (pair of an inphase and an opposition signal) from an input buffer 1. About each clock of the inphase transmitted in balanced type differential mode, and an opposition clock It has adjustable delay circuit 51, clock buffer 61, adjustable delay circuit 51B, and clock buffer 61B, the adjustable delay circuit 52, the clock buffer 62, adjustable delay circuit 52B, and clock buffer 62B. From the clock buffers 61 and 61B, the output clock OUT2 and OUT2B of the complementation are outputted mutually [the 2nd phase contrast (prescribed by the adder circuit 7)] to an input clock IN to an input clock IN from the output clock OUT1 of the complementation, and OUT1B and the clock buffers 62 and 62B mutually [the 1st phase contrast]. This modification is made suitable for transmission of a high-speed clock.

[0037] Drawing 3 is drawing showing the example of the configuration of 4 phase clock multiplying circuit which generates 4 phase clock as an example of the configuration of drawing 1 and the polyphase clock generation circuit 2 in drawing 2. As shown in drawing 3, 4 phase clock multiplying circuit is equipped with 1/4 frequency divider 201 which carries out 4 dividing of the input clock 205, and outputs 4 phase clocks Q1-Q4, 4 phase clock multiplying circuits (it is also called MPFD (multiphase frequency doubler; polyphase twice circumference way)) 2021-202n by which n step cascade connection was carried out, the clock composition circuit 203, and the periodic detecting circuit 204. From 202n of 4 phase clock multiplying circuits of the last stage, 4 phase clocks Qn1-Qn4 by which 2n multiplying was carried out are outputted. In addition, the number of stages n of 4 phase clock multiplying circuit is arbitrary. If the outline of actuation of this 4 phase clock multiplying circuit is described, multiplying will be continuously performed by returning it to four phases in the four phase each clock multiplying circuit 202, after making the clock of four phases into eight phases. In addition, it is good also as a configuration which outputs the clock of eight phases generated from 202n of 4 phase clock multiplying circuits of the last stage as it is. A detail is explained below.

[0038] Drawing 4 is drawing which was shown in drawing 3 and in which showing an example of the configuration of 202n of 4 phase clock multiplying circuits at the time of making a polyphase clock multiplying circuit into 4 phase clock multiplying circuit. In addition, 4 phase clock multiplying circuits 2021-202n shown in drawing 3 are considered as the same configuration by each.

[0039] if drawing 4 (a) is referred to – 202n of this 4 phase clock multiplying circuit – 8 sets of timing – difference – it consists of rate circuits 208-215, eight pulse amendment circuits 216-223, and 4 sets of multiplexing circuits 224-227. Drawing 4 (b) is drawing showing the configuration of a pulse width amendment circuit, and consists of a signal which reversed the 2nd input T23 with Inverter INV, and a NAND circuit which considers the 1st input T21 as an input. Drawing 4 (c) is drawing showing the configuration of a multiplexing circuit, and consists of a 2 input NAND circuit.

[0040] Drawing 5 is the signal waveform diagram showing timing actuation of 4 phase clock multiplying circuit 202 shown in drawing 4. It opts for the standup of a clock T21 by the delay for internal delay of the timing difference dividing network 208 from the standup of a clock Q(n-1) 1. The standup of a clock T22 It is comparatively determined by the delay for internal delay. the timing of the timing of the standup of a clock Q(n-1) 1, and the standup of a clock Q(n-1) 2 – difference – a part for the timing in the rate circuit 209 – It is comparatively determined by the delay for internal delay. the standup of a clock T23 – the timing of the timing of the standup of a clock Q(n-1) 1, and the standup of a clock Q(n-1) 2 – difference – a part for the timing in the rate circuit 210 – It is comparatively determined by the delay for internal delay. the following – the same – carrying out – the standup of a clock T26 – the timing of the timing of the standup of a clock Q(n-1) 3, and the standup of a clock Q(n-1) 4 – difference – a part for the timing in the rate circuit 213 – It is determined by the delay for internal delay in the rate circuit 214. the standup of a clock T27 – the timing of the timing of the standup of a clock Q(n-1) 4 – difference – the standup of a clock T28 – the timing of the timing of the standup of a clock Q(n-1) 4, and the standup of a clock Q(n-1) 1 – difference – a part for the timing in the rate circuit 215 – it is comparatively determined by the delay for internal delay.

[0041] The clocks T21 and T23 outputted from the timing difference dividing networks 208 and 210 are inputted into the pulse width amendment circuit 216, and output the pulse P21 which has the falling edge determined with a clock T21, and the rising edge determined with a clock T23 in the pulse width amendment circuit 216. Pulses P22-P28 are generated by the same procedure, and clocks P21-P28 serve as a pulse group of eight phases which are duty 25% from which the phase shifted by a unit of 45 degrees. Multiplexing reversal is carried out and this clock P21 and the clock P25 with which the phase shifted 180 degrees are outputted as a duty 25% clock Qn1 in the multiplexing circuit 224. Similarly, clocks Qn2-Qn4 are generated. Clocks Qn1-Qn4 serve as a pulse group of four phases which are duty 50% from which the phase shifted by a unit of 90 degrees, and the period of clocks Qn1-Qn4 is the process which generates clocks Qn1-Qn4 from clocks Q(n-1)1-Q(n-1)4, and it doubles multiplying of the frequency.

[0042] That is, 8 phase clocks P21-P28 are generated from the clocks Q(n-1)1-Q(n-1)4 of four phases, and 4 phase clocks Qn1-Qn4 of a double periphery are generated. In addition, it is good also as a configuration which outputs 8 phase clocks P21-P28 in (refer to drawing 3) from 202n of 4 phase clock multiplying circuits of the last stage (8 phase clock of phase contrast at equal intervals is inputted into the selection circuitry 9 of drawing 1 in this case).

[0043] It is drawing showing typically the principle of operation of the rate circuits 208 and 209. the timing which showed drawing 6 to drawing 4 – difference – the timing which considers the same signal as an input – difference – in the rate circuits 208, 210, 212, and 214 (homo) the timing which considers as an input two inputs which output an output signal by the time delay of a proper, and have phase contrast T – difference – the rate circuits 209, 211, 213, and 215 (hetero) The signal which changes by the time delay which added time amount T / 2 which divided phase contrast T into two equally (time amount which divided phase contrast T equally) to the time delay of the proper of a timing difference dividing network is outputted.

[0044] the timing which showed drawing 7 to drawing 4 – difference – they are the rate circuit 208 and drawing showing an example of the configuration of 209. timing – difference – the same signal inputs into two inputs IN1 and IN2 in the rate circuit 208 – having – timing – difference – two adjacent signals are inputted in the rate circuit 209. namely, timing – difference – in the rate circuit 208, the same input Q(n-1) 1 inputs into the input edges IN1 and IN2 – having – timing – difference – in the rate circuit 209, Q(n-1)1 and Q(n-1)2 are inputted into the input edges IN1 and IN2. P channel MOS transistor MP01 with which the source was connected to the

power source VDD, and the drain was connected to the internal node N1, OR circuit OR1 which inputs input signals IN1 and IN2 and by which the output was connected to the gate of P channel MOS transistor MP01, A drain is connected to the internal node N1, and the source is connected to a gland through a constant current source I0. It has the N-channel metal oxide semiconductor transistors MN01 and MN02 by which input signals IN1 and IN2 were connected to the gate. The internal node N1 It connects with the input edge of an inverter INV01. Between the internal node N1 and a gland The circuit which carried out series connection of the capacity CAP 11 to the N-channel metal oxide semiconductor transistor MN11, The circuit which carried out series connection of the capacity CAP 12 to the N-channel metal oxide semiconductor transistor MN12, -- and the circuit which carried out series connection of the capacity CAP 15 to the N-channel metal oxide semiconductor transistor MN15 It connects with juxtaposition, and it connects with the gate of N channel each MOS transistors MN11, MN12, --, MN15, respectively, and on-off control of the control signal 206 of 5-bit width of face from the periodic detecting circuit 204 which detects the period of an input clock is carried out to it. The gate width and capacity CAP11, CAP12, CAP13, CAP14, and CAP15 of the N-channel metal oxide semiconductor transistors MN11, MN12, MN13, MN14, and MN15 are adjusting the load by which the size ratio's is connected to a common node based on the control signal 206 which is set to 16:8:4:2:1 and outputted from the periodic detecting circuit 204 (R> [drawing 3](#) 3 reference) to 32 steps, and a clock period is set up.

[0045] timing -- difference -- about the rate circuit 208, the charge of a node N1 should lengthen through two N-channel metal oxide semiconductor transistors MN01 and MN02 to two inputs IN1 and IN2, and blunder to them by the rising edge of the clock Q(n-1) 1 by which a common input is carried out -- the clock T21 which is the output of an inverter INV01 starts in the place where the potential of a node N1 reached the threshold of an inverter INV01. If the charge of the node N1 with the need of having reached the threshold of an inverter INV01 and of drawing out till a place is set to valve flow coefficient (however, C capacity value and V electrical potential difference) and the discharge current with an N-channel metal oxide semiconductor transistor is set to I From the standup of a clock Q(n-1) 1, the amount of charges of valve flow coefficient will be discharged by the constant current of current value 2I. Consequently, time amount valve flow coefficient / 2I expresses the timing difference (propagation delay time) from the rising edge of a clock Q(n-1) 1 to the standup of a clock T21.

[0046] When a clock Q(n-1) 1 is Low level, P channel MOS transistor MP01 is set to ON, a node N1 is charged by High and the output clock T21 of an inverter INV01 serves as Low level.

[0047] timing -- difference -- about the rate circuit 209, from the rising edge of a clock Q(n-1) 1, the period after time amount tCKn (= polyphase clock period) and the charge of a node N1 should lengthen, and blunder -- the edge of a clock T22 starts from the rising edge of a clock Q(n-1) 2 after time amount tCKn in the place where the potential of a node N1 reached the threshold of an inverter INV01. If the charge of a node N1 is set to valve flow coefficient and the discharge current of an NMOS transistor is set to I As a result of discharging the amount of charges of valve flow coefficient by the period of tCKn, and constant current I and drawing out the remaining periods by constant current 2I from the standup of a clock Q(n-1) 1, $I + tCKn$ [time amount, and / tCKn+ (valve flow coefficient-tCKn-I) / 2 I= valve flow coefficient/2 I+tCKn]/2 -- (1) expresses the timing difference of the rising edge of a clock T22 from the rising edge of a clock Q(n-1) 1.

[0048] That is, the timing difference of the standup of a clock T22 and a clock T21 is set to tCKn/2.

[0049] When both the clocks Q (n-1)1 and Q (n-1)2 are set to Low level and a node N1 is charged by High level from a power source through P channel MOS transistor MP01, a clock T22 falls. It is supposed also about clocks T22-T28 that it is the same, and the timing difference of the standup of clocks T21-T28 is set to tCKn/2, respectively.

[0050] The pulse width amendment circuits 216-223 generate the pulse groups P21-P28 of eight phases which are duty 25% from which the phase shifted by a unit of 45 degrees (refer to [drawing 4](#)).

[0051] The multiplexing circuits 224-227 generate the pulse groups Qn1-Qn4 of four phases which are duty 50% from which the phase shifted by a unit of 90 degrees (refer to [drawing 4](#)).

[0052] The timing difference dividing network shown in [drawing 7](#) deforms suitably according to the application used. For example, it is good for the gate of P channel MOS transistor MP01 also as a configuration which inputs the output signal of the NAND circuit (NAND) which considers the 1st and 2nd input signal IN1 and IN2 as an input, and inputs into the gate of the N-channel metal oxide semiconductor transistors MN01 and MN02 the signal which reversed the 1st input signal IN1 and the 2nd input signal IN2 with the inverter, respectively. In this case, when the 1st and 2nd input signal IN1 and IN2 is High level, When P channel MOS transistor MP01 turns on (flow), the internal node N1 is charged, the output of an inverter INV01 is made into Low level and both the 1st and 2nd both [one side or] IN1 and IN2 is Low level, P channel MOS transistor MP01 turns off, and both P channel both [one side or] MN01 and MN02 turn on. When the internal node N1 discharges and the electrical potential difference of the internal node N1 falls below in the threshold of an inverter INV01, the output of an inverter INV01 starts and serves as High level.

[0053] In the 1st example of this invention shown in [drawing 1](#) and [drawing 2](#) The phase comparator circuit 3, a filter 4, the adjustable delay circuit 50, and the clock buffer dummy 60 The loop formation of the control system for generating the set-up phase contrast is constituted. To the signal path from an input buffer 1 The feedback loop is not included, and the output clocks OUT1 (or OUT [1] and OUT1B) and OUT2 (or OUT [2] and OUT2B) will be maintained at desired phase contrast to an input clock IN, without being influenced of the jitter by the feedback loop. Of course in the 1st example of this invention shown in [drawing 1](#) and [drawing 2](#) , at least the output which inputted into one adjustable delay circuit 50 among the polyphase clocks outputted from the polyphase clock generation circuit 2, and was chosen by the selection circuitry 9 is good also as a configuration changed to condition of supplying the phase comparator circuit 3.

[0054] About generation of phase contrast, some configurations are applied besides the configuration of a polyphase clock generation circuit and a selection circuitry mentioned above. Next, the 2nd example of this invention equipped with the phase contrast generating circuit by INTAPORETA is explained.

[0055] [Drawing 8](#) is drawing showing the configuration of the 2nd example of this invention. When [drawing 8](#) is referred to, the 2nd example of this invention The phase contrast generating circuit 10 which outputs the 1st and 2nd signal with which the output of an input buffer 1 was inputted and predetermined delayed the output of an input buffer 1 by phase contrast based on the phase decision signal 14 inputted, The adjustable delay circuit 50 which delays the 2nd output b of the phase contrast generating circuit 10, The clock buffer dummy 60 which drives the output of the adjustable delay circuit 50, It has the filter 4 which graduates the output of the phase comparator circuit 3 and the phase comparator circuit 3 to the extent that the phase contrast of the 1st output a of the phase contrast generating circuit 10 and the output of the clock buffer dummy 60 is detected, and, as for the adjustable delay circuit 50, adjustable [of the time delay] is carried out with the output of a filter 4. The adjustable delay circuits 51 and 51B where the complementary output of the inphase of an input buffer 1 and opposition is considered as an input, respectively, and adjustable [of the time delay] is carried out with the output of a filter 4, The adder circuit 7 adding the set point 13 inputted as the output of a filter 4, It has the adjustable delay circuits 52 and 52B where the complementary output of the inphase of an input buffer 1 and opposition is considered as an input, respectively, and adjustable [of the time delay] is carried out with the output of an adder circuit 7, and the adjustable

delay circuits 51, 51B, and 52, the clock buffers 61, 61B, and 62 which input the output of 52B, respectively and 62B. The load dummy 8 which gives the clock buffers 61, 61B, and 62, the load of 62B, and an almost equivalent load is connected to the clock buffer dummy 60. The clock buffer dummy 60 and the clock buffers 61 and 62 are desirable, and it considers as the same configuration, and current drive capacity is made the same and outputs a signal by the same time delay to the same load.

[0056] Drawing 9 is drawing having shown the configuration which transmits a clock not by differential mode but by the single end as a modification of the 2nd example of this invention. The function of each part is the same as that of the 2nd example mentioned above.

[0057] Actuation of the 2nd example of this invention shown in drawing 8 and drawing 9 is explained. about — the time delay of the adjustable delay circuit 50 and the clock buffer dummy 60 becomes equal to the phase contrast (for example, 90 degrees) given to the phase comparator circuit 3 from the phase contrast generating circuit 10 — as — about — it is controlled by the phase comparator circuit 3, the filter 4, and the adjustable delay circuit 50.

[0058] Drawing 10 is drawing showing an example of the circuitry of the phase contrast generating circuit 10 (refer to drawing 9) in the 2nd example of this invention. When drawing 10 is referred to, this phase contrast generating circuit 10 The frequency divider 101 which carries out 8 dividing of the input clock, and 1st D type flip-flop 1021 which carries out the sample of the clock by which dividing was carried out in the frequency divider 101 by the input clock, 2nd D type flip-flop 1022 which carries out the sample of the output A of the 1st D type flip-flop by the input clock, The outputs A and B of the 1st and 2nd flip-flop 1021 and 1022 are considered as an input. 1st INTAPORETA 1031 which outputs the output signal of the time delay specified by the time amount which divided the timing difference of two outputs by the 1st internal ratio based on control signal S [0] (this INTAPORETA is also called "fine control INTAPORETA"), The outputs A and B of the 1st and 2nd flip-flop are considered as an input. It has 2nd INTAPORETA 1032 (it is also called "fine control INTAPORETA") which outputs the output signal of the time delay specified by the time amount which divided timing **** of two outputs by the 2nd internal ratio based on control signal S [0:31]. In addition, a frequency divider 101 is not limited to the circuit which carries out 8 dividing of the input-clock frequency.

[0059] Drawing 11 is a timing chart explaining actuation of the phase contrast generating circuit 10 shown in drawing 10. An output signal including the time delay of the time amount which divided interiorly the phase contrast (= tCK) of the output B of the 2nd flip-flop 1022 which carries out the sample of the output A of the 1st flip-flop 1021 and the output A of the 1st flip-flop 1021 which carry out the sample of the dividing output of a frequency divider 101 by the input clock by the input clock by 1st and 2nd INTAPORETA 1031 and 1032 based on the value of control signal S [0] and S [0:31], respectively is outputted. In drawing 11, INT1 output and INT2 output are outputs of 1st and 2nd INTAPORETA 1031 and 1032.

[0060] 1st and 2nd INTAPORETA 1031 and 1032 of drawing 11 is considered as the same configuration. Drawing 16 is 1st and 2nd INTAPORETA 1031 and drawing showing an example of the configuration of 1032. When drawing 16 is referred to, this INTAPORETA When the output signal from OR circuit OR 51 which is connected with a power source VDD between the internal nodes N51, and considers inputs IN1 and IN2 as an input is Low, The capacity C connected between P channel MOS transistor MP1 turned on, and the internal node N51 and a gland The inverter INV51 with which the internal node N51 is connected to an input edge, and an output signal out is taken out from an outgoing end, 2-Nthe N-channel metal oxide semiconductor transistor MN11 - MN1N which the drain was connected to the preparation and the internal node N51, and was connected to each-other juxtaposition, and MN21-MN2N, A drain is connected to the source of 2-Nthe N-channel metal oxide semiconductor transistor MN11 - MN1N, and MN21-MN2N, respectively. 2-Nthe N-channel metal oxide semiconductor transistor MN31 - MN3N by which the source was connected to the gland, and MN41-MN4N, In the gate of the N-channel metal oxide semiconductor transistor MN11 of N individual of the single-sided one half of a preparation and the 2-N piece N-channel metal oxide semiconductor transistors - MN1N an input signal IN1 is connected in common, the inside of a 2-N piece N-channel metal oxide semiconductor transistor is also obtained, and the input signal IN1 is connected to the gate of the half N-channel metal oxide semiconductor transistor MN21 of N individual - MN2N in common.

[0061] The predetermined number of the N-channel metal oxide semiconductor transistor MN31 - MN3N, and the N-channel metal oxide semiconductor transistor MN41 - MN4N is set to ON by control signal (N bit control code) S [0] inputted into the gate of the N-channel metal oxide semiconductor transistor MN31 - MN3N, and MN41-MN4N - S [N-1], a control signal (N bit control code) [0] SB - SB [N-1]. Control signal [of N bit] S [0:N-1] and SB [0:N-1] are the phase decision signals 14 inputted into the phase contrast generating circuit 10, and SB [0] - SB [N-1] are given by the signal of the complementation which reversed S [0] - S [N-1] with the inverter, respectively.

[0062] Control signal S [0:31] is inputted into INTAPORETA 1031 in drawing 14. It is inputted into the gate of the N-channel metal oxide semiconductor transistor MN31 of drawing 16 - MN3N (however, N 32). Each bit signal of SB [0:31] It considers as the signal which reversed each bit signal of control signal S [0:31] with the inverter (un-illustrating), and is inputted into the gate terminal of the N-channel metal oxide semiconductor transistor MN41 of drawing 16 - MN4N (however, N 32). Control signal S [0] is inputted into INTAPORETA 1032. Moreover, the bit signal of SB [0] The signal which reversed the bit of control signal S [0] is inputted into the gate terminal of the N-channel metal oxide semiconductor transistor MN41. An OFF state (a gate terminal is Low level immobilization), the N-channel metal oxide semiconductor transistor MN41 - MN4N (however, N 32) are set as the ON state (a gate terminal is High level immobilization) for the N-channel metal oxide semiconductor transistor MN32 - MN3N.

[0063] Actuation of this INTAPORETA is explained with reference to drawing 16. When inputs IN1 and IN2 are Low level, P channel MOS transistor MP1 which considers the output of OR circuit 51 as an input at the gate is turned on, and charges capacity C with the current from a power source.

[0064] The signal impressed to an input IN1 and at the time of the standup transition to High level from Low level The N-channel metal oxide semiconductor transistor MN11 - MN1N turn on, and it connects with the source whose drains are the N-channel metal oxide semiconductor transistor MN11 - MN1N. The time of being the N-channel metal oxide semiconductor transistor MN31 as which the source is connected to a gland and control signal S [0] - S [N-1] are inputted into the gate, respectively - MN3N, A part of stored charge of capacity C discharges through the pass of n N-channel metal oxide semiconductor transistors set to ON with a control signal.

[0065] Are behind. the period (tCK) of standup transition of an input IN1 to an input clock -- when [from Low level to High level] starting, an input IN2 The N-channel metal oxide semiconductor transistor MN21 - MN2N turn on, and it connects with the source whose drains are the N-channel metal oxide semiconductor transistor MN11 - MN1N. The time of being the N-channel metal oxide semiconductor transistor MN41 as which the source is connected to a gland and a control signal SB [0] - SB [N-1] are inputted into the gate - MN4N, Stored charge of capacity C is *(ed) through the pass of the N-channel metal oxide semiconductor transistor of an individual set to ON (N-n) with a control signal.

[0066] If the charge which will discharge by the time the output of the inverter INV51 which inputs the terminal voltage of capacity C is reversed on High level is set to valve flow coefficient After changing, it discharges and continues with Current nI between phase

contrast (T). Input IN – High level – with n N-channel metal oxide semiconductor transistors MN11 - MN1n It discharges with the drain current NI of a total of N N-channel metal oxide semiconductor transistors of the N-channel metal oxide semiconductor transistors MN21-MN2 (N-n) of an individual. (N-n) The time delay from the standup from Low of Input IN to High level to the standup of an output OUT (valve flow coefficient-n-I-T) /NI=valve flow coefficient/NI-n-T/N – It is expressed (2) and can carry out adjustable [of the time delay] by making N division of the phase contrast of inputs IN1 and IN2 into a unit.

[0067] As for High level, S [1] - S [31], let Low level and a control signal SB [0] be High level for control signal S [0] at INTAPORETA 1031 of drawing 14, as for Low, SB [1] - S [31].

[0068] The time delay of INTAPORETA 1031 is set to phase contrast $T=tCK$, $N=32$, and $n=1$ to valve flow coefficient/(32I)-tCK/32 in an upper type (2).

[0069] Control signal (code) S [0:31] set up as phase decision information 14 is given to INTAPORETA 1032, and, as for High level, S [i] - S [31], let Low level (however, i or more 2 31 or less integer) and a control signal SB [0:i-1] be High level for control signal S [0:i-1], as for Low level, SB [i] - SB [31].

[0070] That is, in an upper type (2), the time delay of INTAPORETA 1032 is the case of $N=32$ and $n=i$, and is set to valve flow coefficient/(32I)-itCK/32, and the output INT 2 of INTAPORETA 1032 is tCK (i-1)/32 from the output INT 1 of INTAPORETA 1031. -- (3) part phase is progressing.

[0071] The output INT 1 of INTAPORETA 1031 is supplied to the phase comparator circuit 2, and the output INT 2 of INTAPORETA 1032 is supplied to the adjustable delay circuit 50.

[0072] Next, the 3rd example of this invention is explained. Drawing 12 is drawing showing the configuration of the 3rd example of this invention. When drawing 12 is referred to, the 3rd example of this invention Input the output of an input buffer 1, and the output of the clock buffer 61, and it is based on the phase decision information 13. Phase contrast generating circuit 10A which outputs two signals of desired phase contrast from the output (inphase output) of an input buffer 1, and the output of the clock buffer 61, To the extent that the phase of two outputs of phase contrast generating circuit 10A is compared The phase comparator circuit 3, The filter 4 which graduates the output of the phase comparator circuit 3, and the adjustable delay circuits 51 and 51B which delay the complementary output of the inphase of an input buffer 1, and opposition, respectively, It has the clock buffers 61 and 61B which drive the output of the adjustable delay circuits 51 and 51B. The output of a filter 4 The adjustable delay circuits 52 and 52B which it is inputted [delay circuits] into the adjustable delay circuits 51 and 51B as a control signal, and delay the complementary output of an input buffer 1, an inphase, and opposition, respectively, It has the clock buffers 62 and 62B which drive the output of the adjustable delay circuits 52 and 52B, and the output of a filter 4 and the adder circuit 7 which outputs the value adding the set point 13 to the adjustable delay circuits 52 and 52B as a control signal.

[0073] Drawing 13 is drawing at the time of considering as the configuration which does not transmit the complementary clock output of an input buffer 1 in differential mode, but is transmitted by the single end method in the 3rd example of this invention. The element of each part of drawing 13 is the same as that of what was shown in drawing 12.

[0074] Drawing 14 is drawing showing the configuration of phase contrast generating circuit 10A (refer to drawing 12 and drawing 13) in the 3rd example of this invention. When drawing 14 is referred to, this phase contrast generating circuit 10A The frequency divider 101 which carries out 8 dividing of the input clock, and 1st D type flip-flop 1021 which carries out the sample of the clock by which dividing was carried out in the frequency divider 101 by the input clock, 2nd D type flip-flop 1022 which carries out the sample of the output A of the 1st D type flip-flop by the input clock, The outputs A and B of the 1st and 2nd flip-flop 1021 and 1022 are considered as an input. 1st INTAPORETA 1031 which outputs the output signal of the time delay specified by the time amount which divided the timing difference of two outputs by the 1st internal ratio based on control signal (control code) S [0:31] which makes the phase decision information 14, 3rd D type flip-flop 1023 which carries out the sample of the clock by which dividing was carried out in the frequency divider 101 with the output of the clock buffer 61, 4th D type flip-flop 1024 which carries out the sample of the output C of 3rd D type flip-flop 1023 with the output of the clock buffer 61, The outputs C and D of the 3rd and 4th flip-flop 1023 and 1024 are considered as an input. It has 2nd INTAPORETA 1032 which outputs the output signal of the time delay specified by the time amount which divided the timing difference of two outputs by the 2nd internal ratio based on control signal (control code) S [0] which makes the phase decision information 14.

[0075] Drawing 15 is a timing chart explaining actuation of the above-mentioned phase contrast generating circuit 10A. By the input clock, the 1st flip-flop 1021 carries out the sample of the dividing output of a frequency divider 101, and outputs it (output A). The 2nd flip-flop 1022 By the input clock, carry out the sample of the output A of the 1st flip-flop 1021, and it is outputted (output B). The outputs A and B of the 1st and 2nd flip-flop 1021 are inputted into 1st INTAPORETA 1031. From 1st INTAPORETA 1031 The output signal (INT1 output) which has the time amount which divided interiorly the phase contrast during two outputs A and B by control signal S [0:31] in a time delay is outputted. The 3rd flip-flop 1023 With the output clock of the clock buffer 61, the sample of the dividing output of a frequency divider 101 is carried out, and it is outputted (output C). The 4th flip-flop 1024 With the output clock of the clock buffer 61, carry out the sample of the output C of the 3rd flip-flop 1023, and it is outputted (output D). The outputs C and D of the 3rd and 4th flip-flop 1023 and 1024 are inputted into 2nd INTAPORETA 1032. From 2nd INTAPORETA 1032 The output signal (INT2 output) which has the time amount which divided interiorly the phase contrast during two outputs C and D according to control signal S [0] in a time delay is outputted. In this example, INT2 output has been overdue, started and changed rather than INT1 output. The phase contrast comparator circuit 3 (refer to drawing 12 and drawing 13) inputs these two outputs INT1 and INT2, and it is controlled so that adjustable [of the time delay of the adjustable delay circuit 51] is carried out and the phase contrast of two inputs of the phase comparator circuit 3 serves as zero by the feedback control of a filter, the adjustable delay circuit 51, and the clock buffer 61. Each INTAPORETA 103 of drawing 14 is made to be the same as that of the configuration shown in drawing 16, and omits explanation of the configuration.

[0076] In addition, in each above-mentioned example, if a filter 4 is a circuit which graduates the phase contrast detection result from the phase comparator circuit 3, you may be the low pass filter which consists of capacity which makes a charge pump, and resistance, and a voltage signal will be supplied to an adjustable delay circuit and an adder circuit. In this case, the set point 13 is given with a voltage signal. Or it is good also as a configuration whose filter changes and outputs the signal with which the filter graduated the output of a charge pump to a digital signal with an A/D converter. In this case, the set point 13 is given with a digital signal in this case. Moreover, a filter may consist of digital filters which equalize the output from the phase comparator circuit 3.

[0077] The clock control circuit of each above-mentioned example simplifies circuitry by having considered as the configuration controlled so that the signal of desired phase contrast is generated from an input clock in a polyphase clock generation circuit or a phase contrast generating circuit, and the phase contrast in a phase comparator circuit serves as zero to the extent that it is with this signal and an output. A DLL circuit, From VCO of a PLL circuit, it is accurate and the generation output of the clock which has a desired phase relation to the clock which cuts down a jitter component specially compared with the conventional configuration (refer to drawing 18 and drawing 19) of generating a polyphase clock, and is inputted can be carried out.

[0078] The clock control circuit of the semiconductor integrated circuit equipment (LSI) which the clock control circuit of this invention inputs an external clock (external clock) from an input buffer, generates an internal clock, and is supplied to an internal synchronous circuit, The clock recovery circuit which generates 1 or two or more clocks of a predetermined phase from an input clock to this input clock, or a reference signal is inputted, it uses for the signal generation circuit which generates phase-related 1 or two or more signals of arbitration to a reference signal, and it is supposed that it is suitable. Although it was based on the above-mentioned example and this invention was explained above, this invention is not limited to the configuration of the above-mentioned example, and is the range of invention of each claim of a claim, and it is needless to say that the various deformation which can be accomplished if it is this contractor, and correction are included.

[0079]

[Effect of the Invention] As explained above, according to this invention, the effectiveness that the output signal of desired phase contrast is generable with a sufficient precision to an input clock is done so by having generated the signal of desired phase contrast from the input clock in the polyphase clock generation circuit or the phase contrast generating circuit, and having considered as the configuration which carries out feedback control so that the phase contrast of this signal and the output of an adjustable delay circuit may serve as zero. Moreover, according to this invention, based on the signal which generated the polyphase clock by the timing difference dividing network from the signal which carried out dividing of the input clock in the polyphase clock generation circuit, or carried out dividing of the input clock in the phase contrast generating circuit, the signal is generated for desired phase contrast using INTAPORETA, and desired phase contrast can be taken out with a sufficient precision compared with the conventional configuration which takes out a polyphase clock from VCO of a DLL circuit or PLL etc.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing the configuration of the 1st example of this invention.

[Drawing 2] It is drawing showing the configuration of the modification of the 1st example of this invention.

[Drawing 3] It is drawing showing the configuration of the polyphase clock generation circuit of the 1st example of this invention.

[Drawing 4] It is drawing showing the configuration of 4 phase clock multiplying circuit which constitutes the polyphase clock generation circuit in the 1st example of this invention.

[Drawing 5] It is drawing showing timing actuation of 4 phase clock multiplying circuit in the 1st example of this invention.

[Drawing 6] It is drawing explaining actuation of INTAPORETA of 4 phase clock multiplying circuit in the 1st example of this invention.

[Drawing 7] It is drawing showing an example of the configuration of INTAPORETA of 4 phase clock multiplying circuit in the 1st example of this invention.

[Drawing 8] It is drawing showing the configuration of the 2nd example of this invention.

[Drawing 9] It is drawing showing the configuration of the modification of the 2nd example of this invention.

[Drawing 10] It is drawing showing the configuration of the phase contrast generating circuit in the 2nd example of this invention.

[Drawing 11] It is the timing chart showing actuation of the phase contrast generating circuit in the 2nd example of this invention.

[Drawing 12] It is drawing showing the configuration of the 3rd example of this invention.

[Drawing 13] It is drawing showing the configuration of the modification of the 3rd example of this invention.

[Drawing 14] It is drawing showing the configuration of the phase contrast generating circuit in the 3rd example of this invention.

[Drawing 15] It is the timing chart showing actuation of the phase contrast generating circuit in the 3rd example of this invention.

[Drawing 16] It is drawing showing the configuration of INTAPORETA of the phase contrast generating circuit in the 2nd and 3 example of this invention.

[Drawing 17] It is drawing showing two examples of the configuration of the adjustable delay circuit used in the example of this invention.

[Drawing 18] It is drawing showing the configuration of the clock control circuit using the conventional DLL.

[Drawing 19] the configuration of the clock control circuit using the conventional PLL is shown -- it comes out.

[Description of Notations]

1 Input Buffer

2 Polyphase Clock Generation Circuit

3 Phase Comparator Circuit

4 Filter

50, 51, 51B, 52, 52B Adjustable delay circuit

60 Clock Buffer Dummy

61, 61B, 62, 62B Clock buffer

7 Adder Circuit

8 Load Dummy

9 Selection Circuitry

10 10A Phase contrast generation circuit

13 Set Point

14 Phase Decision Signal

17 Selector

101 Frequency Divider

1021-1024 D type flip-flop

1031 1032 INTAPORETA

[Translation done.]

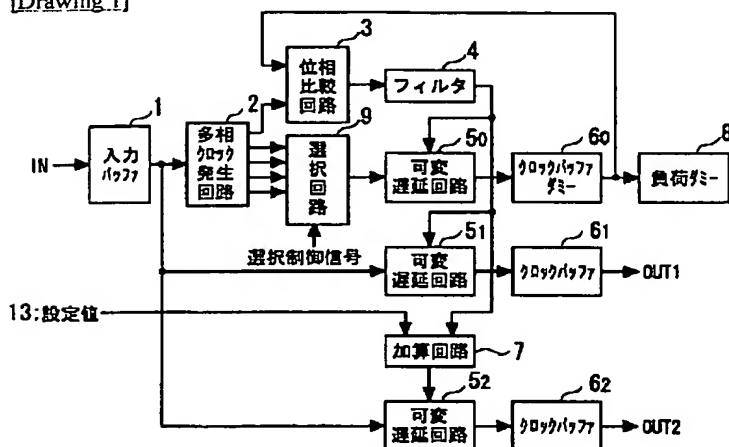
* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

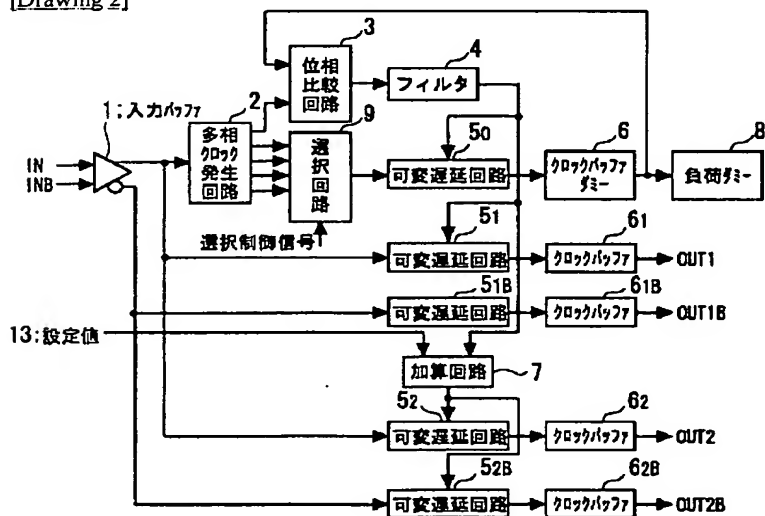
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

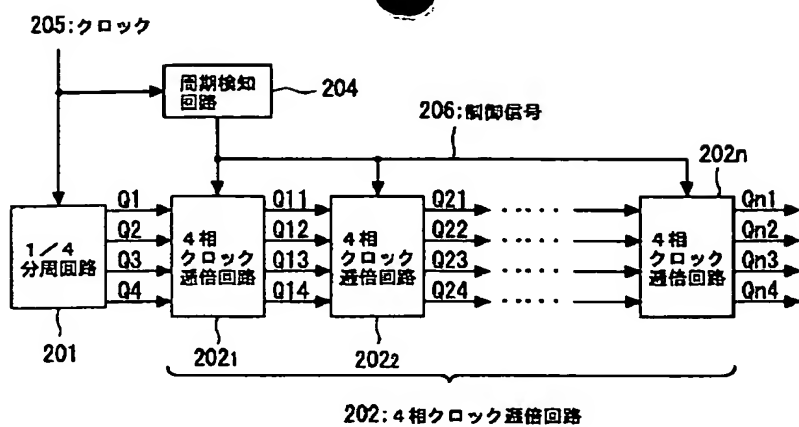
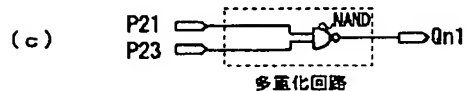
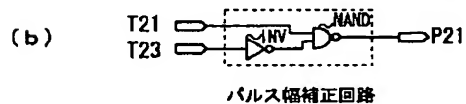
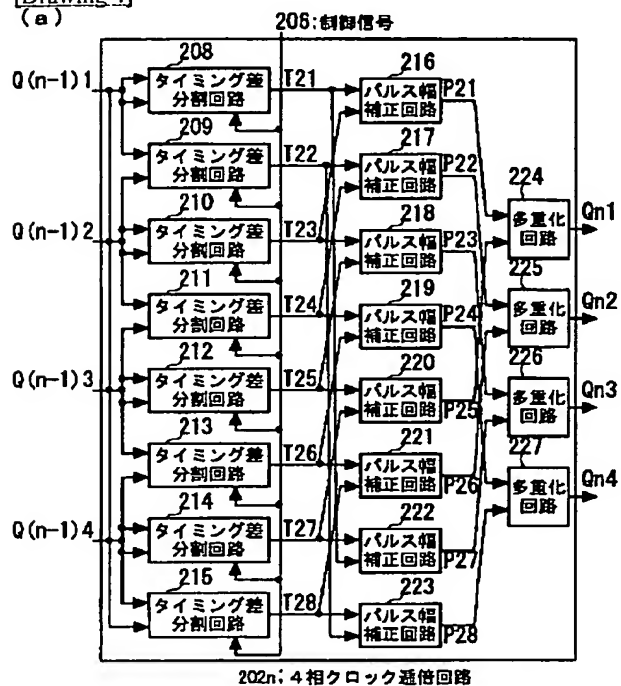
[Drawing 1]



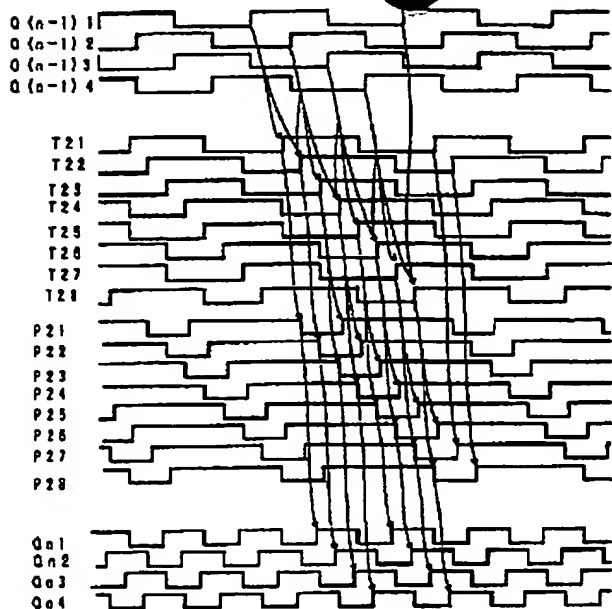
[Drawing 2]



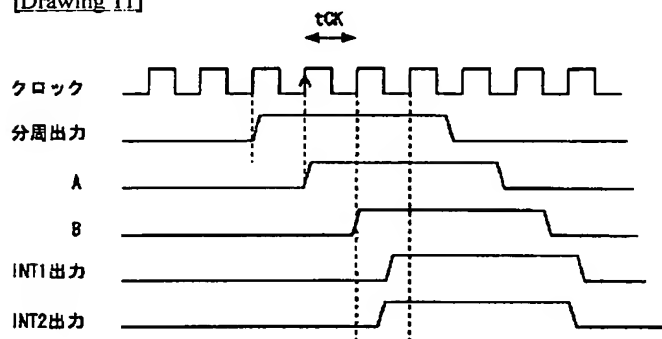
[Drawing 6]

[Drawing 4]
(a)

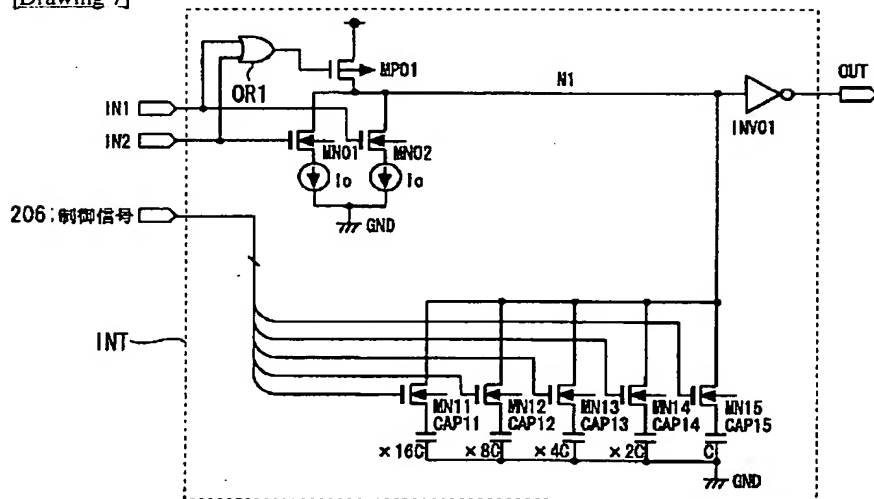
[Drawing 5]



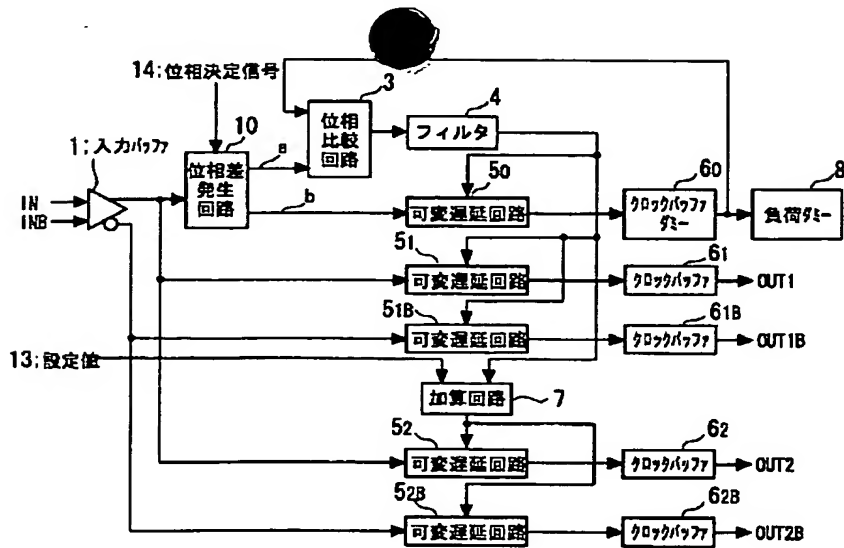
[Drawing 11]



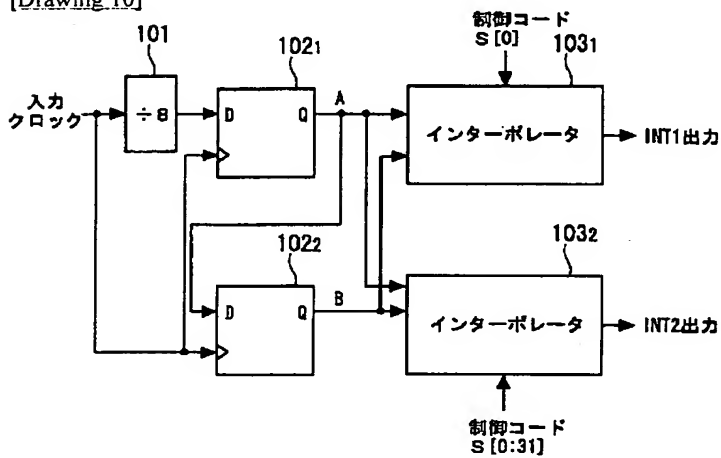
[Drawing 7]



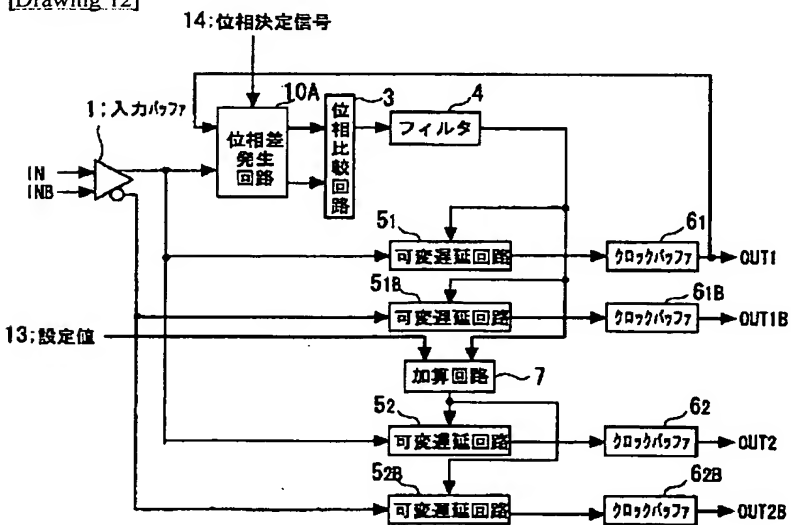
[Drawing 8]



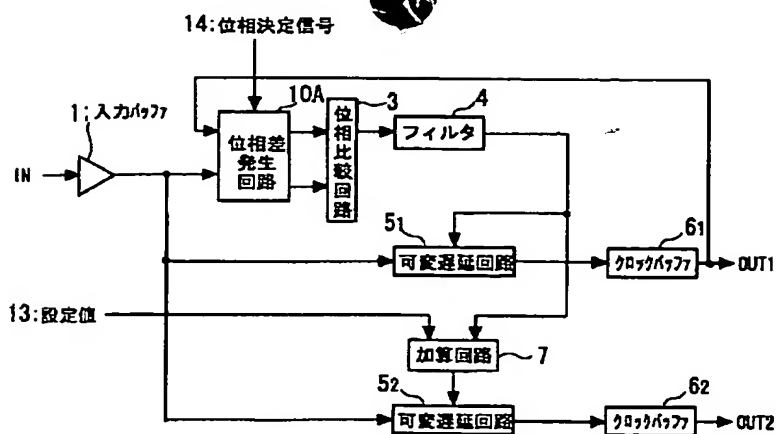
[Drawing 10]



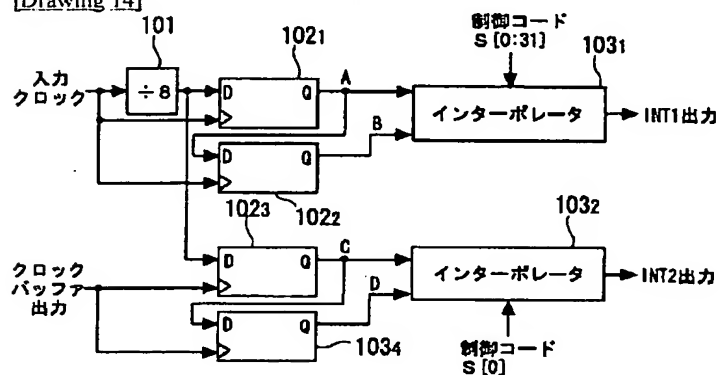
[Drawing 12]



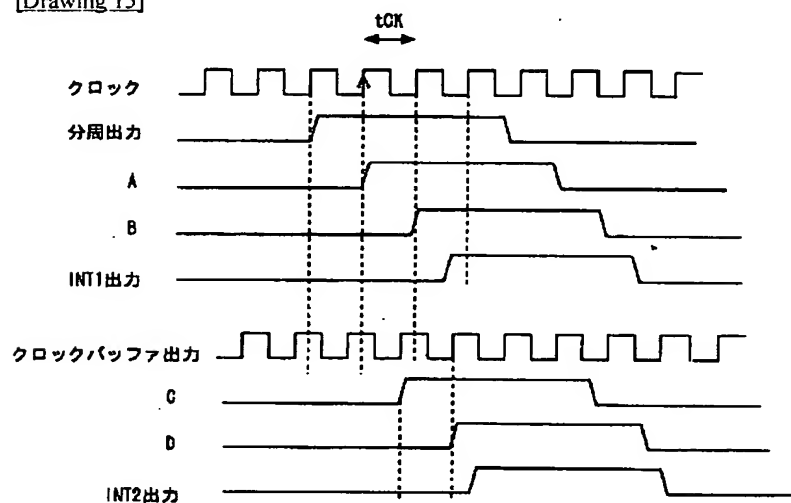
[Drawing 13]



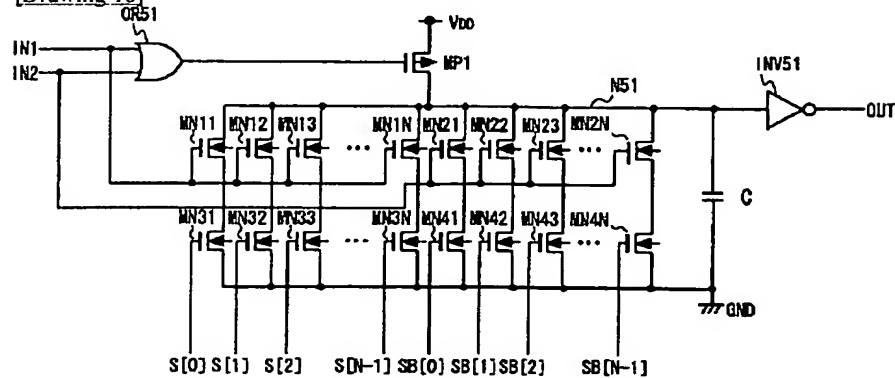
[Drawing 14]

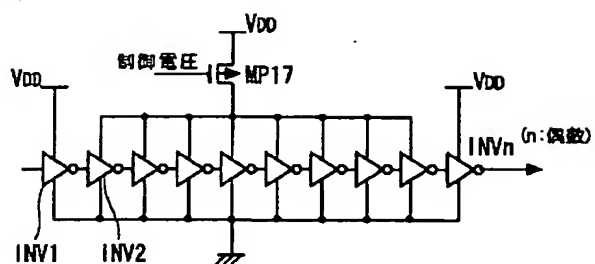


[Drawing 15]

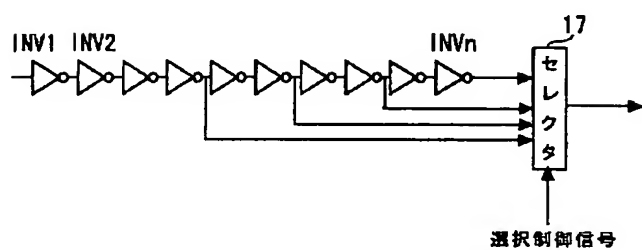


[Drawing 16]



[Drawing 17]
(a)

(b)



[Translation done.]

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.